

パターン SIMOX 法による  
光・電気集積回路用基板形成に関する研究

東京工業大学 理工学研究科

電気電子工学専攻

11D13042

木島 公一朗

パターン SIMOX 法による  
光・電気集積回路用基板形成に関する研究

木島 公一朗

# 目次

第1章 序論	5
1-1 研究の背景	5
1-2 シリコンフォトニクスへのレビュー	6
1-3 SOI 基板上に形成されるトランジスタの構造と今後の SOI 基板条件	10
1-4 本研究の目的	12
1-5 本論文の構成	14
第2章 SIMOX 法についての概要と本研究の位置づけ	17
2-1 はじめに	17
2-2 CMOS 集積回路用 SOI 基板作製方法	17
2-2-1 SmartCut 法の説明	18
2-2-2 SIMOX 法の説明	19
2-2-3 埋め込み光導波路形成方法の選択	19
2-3 SIMOX 法による SOI 基板作製技術の概要	20
2-4 パターン SIMOX 法の過去の研究	22
2-5 透過マスクを用いたパターン SIMOX 法による光導波路作製法	24
2-6 CMOS 集積回路と光回路を厚さ方向に積層した光電気集積回路の特徴	27
2-7 パターンなし SOI 基板への SIMOX 実施の検討	28
2-7-1 パターンなし SOI 基板への SIMOX 実施実験の目的	28
2-7-2 パターンなし SOI 基板への SIMOX 実施実験の方法	29
2-7-3 パターンなし SOI 基板への SIMOX 実施実験の結果	30
2-8 本研究の位置づけ	34
2-9 まとめ	34
第3章 蛍光顕微鏡を用いた高効率な非破壊欠陥特定法	35
3-1 はじめに	35
3-2 蛍光顕微鏡を用いた従来の欠陥検査方法	36
3-3 Computational photography による deblurring 技術	38

3-4	本研究の撮影方式	40
3-5	検証実験	43
3-5-1	実験装置と検証に用いた試料	43
3-5-2	実験結果と深さ検出結果	46
3-6	検出適用範囲と範囲拡大方法	50
3-6-1	検出適用範囲の算出	51
3-6-2	液晶デバイスによる球面収差マージン拡大	52
3-6-3	本提案の収差補正液晶デバイス	54
3-6-4	本提案の収差補正液晶デバイス原理検証実験	56
3-6-5	球面収差補正確認用液晶デバイスの作製と検証	59
3-6-6	球面収差補正液晶デバイスを用いた場合の観察範囲拡大量の算出	60
3-7	高効率な非破壊欠陥特定法の応用	61
3-7-1	色収差測定方法への適用	61
3-7-2	多色輝点3次元位置測定による遺伝子距離計測への応用	64
3-8	まとめ	67
第4章	パターン SIMOX 法を用いた埋込み光導波路の作製	68
4-1	はじめに	68
4-2	マスク材料の選定	69
4-3	デバイスシミュレータにおける酸素イオン注入コマンド	70
4-3-1	酸素イオン注入サンプルの作製とシミュレーション関数の適合	70
4-3-2	マスクがある場合のイオン注入の深さ変化とイオン注入量	72
4-4	SOI 基板仕様の設定	74
4-4-1	光導波路形状の設定	74
4-4-2	曲がり導波路の導波損失低減方法	77
4-4-3	基板条件	79
4-5	標準 SIMOX 条件でのパターン SIMOX 作製	79
4-5-1	プロセス工程および検討条件	79
4-5-2	断面形状観察結果	80
4-5-3	埋め込み酸化膜の分断と欠陥位置に関する考察	82

4-5-4	埋め込み酸化膜の厚さムラについての考察	84
4-5-5	本節の実験結果のフィードバック	85
4-6	標準イオン注入量における ITOX アニールの影響	85
4-6-1	プロセス工程および検討条件	86
4-6-2	表面保護膜(LTO 膜)の影響についての考察	87
4-6-3	埋め込み酸化膜の連続性および厚さの不均一についての考察	88
4-6-4	表面の段差についての考察	90
4-6-5	Smartcut 法により形成された酸化膜層への影響についての考察	92
4-6-6	マスク厚の違いによるイオン注入深さの影響についての考察	93
4-6-7	本節の実験結果のフィードバック	95
4-7	イオン注入量を増加させたパターン SIMOX	95
4-7-1	プロセス工程および検討条件	96
4-7-2	埋込み酸化膜の連続性についての考察	97
4-7-3	埋込み酸化膜の非対称性についての考察	99
4-7-4	シリコンアイランドについての考察	100
4-7-5	表面平坦性についての評価と考察	101
4-7-6	本節の実験結果のまとめとフィードバック	104
4-8	プロセス条件の最適化	105
4-8-1	埋め込み酸化膜の左右非対称性の低減	106
4-8-2	保護膜の検討	106
4-8-3	イオン注入工程における保護膜の付与	108
4-8-4	検討結果	109
4-9	パターン SIMOX 法による埋込み光導波路作成技術の適用先	112
4-9-1	低導波損失光導波路	112
4-9-2	光-光結合実験	113
4-9-3	光・電気集積回路作製実験	115
4-9-4	パターン SIMOX 法を先行して行う光・電気集積回路用基板	116
4-10	まとめ	117
第5章 SOI トランジスタによる光記録メモリ		118

5-1	はじめに	118
5-2	SOI トランジスタにおける基板浮遊効果	119
5-2-1	ドレイン電流-ドレイン電圧特性におけるキンク	119
5-2-2	履歴効果によるしきい値電圧の不安定性	121
5-3	インパクトイオン化を記録原理としたメモリーデバイス	122
5-4	2光子吸収現象を記録原理としたメモリーデバイス	124
5-4-1	シミュレーションモデル	126
5-4-2	計算結果	127
5-5	SOI トランジスタによる光記録メモリの操作方法	132
5-6	SOI トランジスタによる光記録メモリの形態	134
5-7	まとめ	137
第6章 結論		139
6-1	本研究で得られた結論	139
6-2	将来の展望	141
付録		143
謝辞		151
参考文献		153
論文および発表リスト		164
本研究に関する発表論文		164
本研究に関する国際学会		164
研究会・全国大会等		165
関連論文		165
関連発表		166
News Articles・解説記事		166

## 第 1 章 序論

### 1-1 研究の背景

2011年6月に発行された International Data Corporation 社のデータ[1]によると、2011年に全世界で作成される電子情報の量は 1.8zetta バイトであり、5年前の 2006年に作成された電子情報量の 9倍となる。そして 5年後の 2016年に作成される電子情報量は 2011年の 8倍であるという予想であり、電子情報量の成長率は今後も維持されるとしている。また作成される電子情報の 75%は、ウェブサイトからのダウンロードを含む個人寄与によるものであるとしている。この個人寄与による電子情報の増加は、家庭というネットワーク末端までを含めたネットワークトラフィックのさらなる増加を示している。

日本国内においても、2011年5月に発表された総務省の平成 22年(2010年)通信利用動向調査の結果[2]において、世帯におけるインターネットの利用割合は 77.9%に達している。そのうち光回線の利用割合は、前年度比 11.1 ポイントの増加で 52.2%となっておりインターネット利用者の 50%以上が光回線を利用しているデータが示されている。このデータは光通信回線が、ネットワーク末端まで到達していることを明確に示しているとともに、個人による通信データ量の増加を示唆している。さらには、ネットワーク末端における光通信機器の利用増加は、光通信における短距離通信マーケットの拡大を示している。

一方、個人用途ではないエンタープライズ用途について考えてみる。2010年に稼働した東京工業大学のスーパーコンピュータである TSUBAME2.0 においては、ラック間の通信に光ネットワークを用いて、これにより計算の高速化を行っている[3]。つまり、エンタープライズ用途においても短距離での光通信のマーケットが重要であることを示している。

光通信における短距離通信マーケットの拡大は、光通信デバイスに対して高機能化だけでなく低価格化も要求される。

光通信部品の高機能化・低価格化を解決する技術としてシリコン製光電気集積回路 (Electronic Photonic Integrated Circuits: EPIC) が期待されている。期待されている

理由は、シリコン製半導体における集積回路の技術進展により電気回路の高機能化と低価格化が同時にもたらされたという背景があるためである。このシリコン製光電気集積回路とは、シリコン基板に電気集積回路と光導波路回路をともに実装し、光導波路を伝搬する光信号を直近の電子回路で処理すること、あるいは、電子回路で生成された電気信号を基板内で光信号とすることが可能な回路である。シリコン製光電気集積回路を構成する要素技術は、シリコン基板を用いた光導波路・デバイス技術であるシリコンフォトニクス技術[4,5]と、電気回路の集積回路技術である CMOS (Complementary Metal Oxide Semiconductor)集積回路技術となる。

国際半導体ロードマップ委員会(ITRS 委員会)により 15 年先の技術ロードマップが描かれている CMOS 集積回路技術に比較すると、シリコンフォトニクス技術は発展途上の技術であるので、シリコン製光電気集積回路を構成するためにはシリコンフォトニクスを現在の CMOS 集積回路技術に適合させる必要がある。

本論文は、CMOS 集積回路技術に適合するシリコン光導波路技術を研究対象としたものである。

そこで、本章ではシリコン光導波路・デバイス技術であるシリコンフォトニクスについてのレビューを行うとともに、本研究の目的および本論文の構成を説明する。

## 1-2 シリコンフォトニクスのレビュー

シリコンフォトニクスは、シリコン基板を構成材料とした光導波路デバイスの総称であり、近年盛んに研究が行われている。シリコンフォトニクスは、シリコン材料が約  $1.1\mu\text{m}$  より長波長の波長に対して透明であること、またシリコンの酸化物である  $\text{SiO}_2$  は広い範囲の波長に対して透明であり屈折率がシリコンよりも低いという材料の光学的特性を利用している。つまり Si と  $\text{SiO}_2$  の組み合わせにより  $1.3\mu\text{m}$  あるいは  $1.55\mu\text{m}$  という幹線系の光通信に用いられている波長帯域に対応した比屈折率差の大きく閉じ込めの強い光導波路が作製可能である。そして半導体製造装置を用いることにより高精度なパターンが安価で形成できるという製造技術面でのメリットがある。

シリコンフォトニクスの歴史は比較的長く、1980 年代の終わりから 1990 年代の初



頭における R. A. Soref および K. Petermann らによる検討[6-8]がシリコンフォトニクスのパイオニアである。この時代は高ドーピングシリコン基板の上に高抵抗シリコンをエピタキシャル成長させた材料(屈折率差  $\Delta n=0.009$ ) [6]、シリコン基板の上に Ge-Si 材料をエピ成長させた材料(屈折率差  $\Delta n=0.1$  (3.6-3.5)) [8]、あるいは石英ガラス基板上にシリコン基板を貼りあわせた基板(屈折率差  $\Delta n=2.05$  (3.5-1.45)) [8]など、複数の種類の材料を用いて基礎的な光導波路単体の研究がなされていた。この時代の代表的な光導波路の構造として[6]の光導波路構造を図 1-1 (a)に記す。Si 層厚  $7\mu\text{m}$ 、リブの高さ  $2.8\mu\text{m}$ 、幅  $10\mu\text{m}$  となっている。

1990 年代の後半になると埋め込み酸化膜層(Buried Oxide 層 : BOX 層)を有する SOI(Silicon-on-Insulator)基板に光導波路を形成した研究[9-11]が始められ、optical star coupler [12], phased-array wavelength multi-demultiplexer [13]といった受動的なデバイスではあるが、機能を有する光導波路デバイスの研究が行われるようになってきた。しかしこれらの研究[9-13]に用いられた SOI 基板は、シリコン基板とシリコン基板を貼りあわせた後に、研磨工程によりシリコン材料を薄くした BE-SOI 基板(bond and etchback silicon-on-insulator) を用いた研究であり、表面の Si 層の厚さが  $5\sim 11\mu\text{m}$  程度であったために、この時代の光導波路は、クラッド層に  $\text{SiO}_2$  を用いた場合にシングルモード条件を満たす光導波路形状はリッジ型しか存在せず、光導波路の幅も  $2\sim 3\mu\text{m}$  程度という比較的断面積の大きな光導波路が主流であった。光導波路構造を図 1-1 (b)に記す。

1990 年代の後半から 2000 年頃に、SmartCut 法[14]および SIMOX 法[15]という高性能なトランジスタを作製することができる SOI 基板の製造技術が開発され表面 Si 層の厚さが  $0.1\sim 1\mu\text{m}$  と薄くかつ品質の良い SOI 基板が供給されはじめると、SOI 基板を用いた電気回路および光導波路デバイスは急激にその性能を高めることとなる。SOI 基板を用いた電気回路においては、IBM 社による PowerPC プロセッサが 2000 年より製造されており[16]、IBM-TOSHIBA-SONY3 社により開発された Cell BE processor [17] を用いたゲーム機(playstation 3)の実用化がなされた 2005 年には直径が  $300\text{mm}$  の SOI 基板を用いた量産体制となり SOI 基板を用いた CMOS 集積回路における量産技術が完全に軌道に乗った。光導波路デバイスにおいては、良質の SOI 基板に半導体製造装置を用いて光導波路デバイスを作製することにより、シリコン材料の有する本来の比屈折率差を利用した強い閉じ込め実現する Silicon wire と

呼ばれるストリップ型光導波路（図 1-1 (c)）がこの頃より出現しはじめ、パッシブデバイスとしての極めて面積の小さい  $0.4\mu\text{m} \times 0.2\mu\text{m}$  の光導波路断面で曲率半径が  $2.5\mu\text{m}$  という極めて閉じ込めの強いマイクロリング共振器を用いた波長フィルタ[18]などが報告されている。ストリップ型の光導波路におけるシングルモード光導波路の大きさは、正方形の断面形状である場合には  $0.3\mu\text{m} \times 0.3\mu\text{m}$  以下[19]、また  $0.32\mu\text{m} \times 0.5\mu\text{m}$  以下[20]という報告がある。すなわち、 $0.4\mu\text{m} \times 0.2\mu\text{m}$  の光導波路断面の光導波路は、1次モードが励起可能となる光導波路よりも少しだけ光導波路断面が小さい光導波路であり閉じ込め効果の高い条件の光導波路条件であることが伺える。

一方、シリコン光導波路を用いたラマンレーザーに関する研究[21,22]など、光導波路の高精度化により従来の光導波路では観測が困難であったシリコン材料の非線形効果に関する研究もこの頃より多く出現する。

光通信用途に関連する機能としては、変調器についての研究が、発光デバイスあるいは受光デバイスよりも先行して行われた。Lipson は、マイクロリング波長フィルタに pn 構造を導入した変調器[23]を用い、Intel は Mach-Zehnder 型の変調器[24]を用い、10GHz の変調特性を 2005 年に報告している。Reed は、Carrier-depletion タイプの変調器にて 50GHz の変調を行っている[25]。また Enablence 社により、Mach-Zehnder interferometer を搭載した通信機能デバイス[26]の報告がなされている。

光導波路の形状は、図 1-1 (c)に示したストリップ型光導波路[18,23]だけでなく ridge 型光導波路[21,22,24,26]（図 1-1 (d)）も多く存在し、用途に応じた使い分けがなされている。

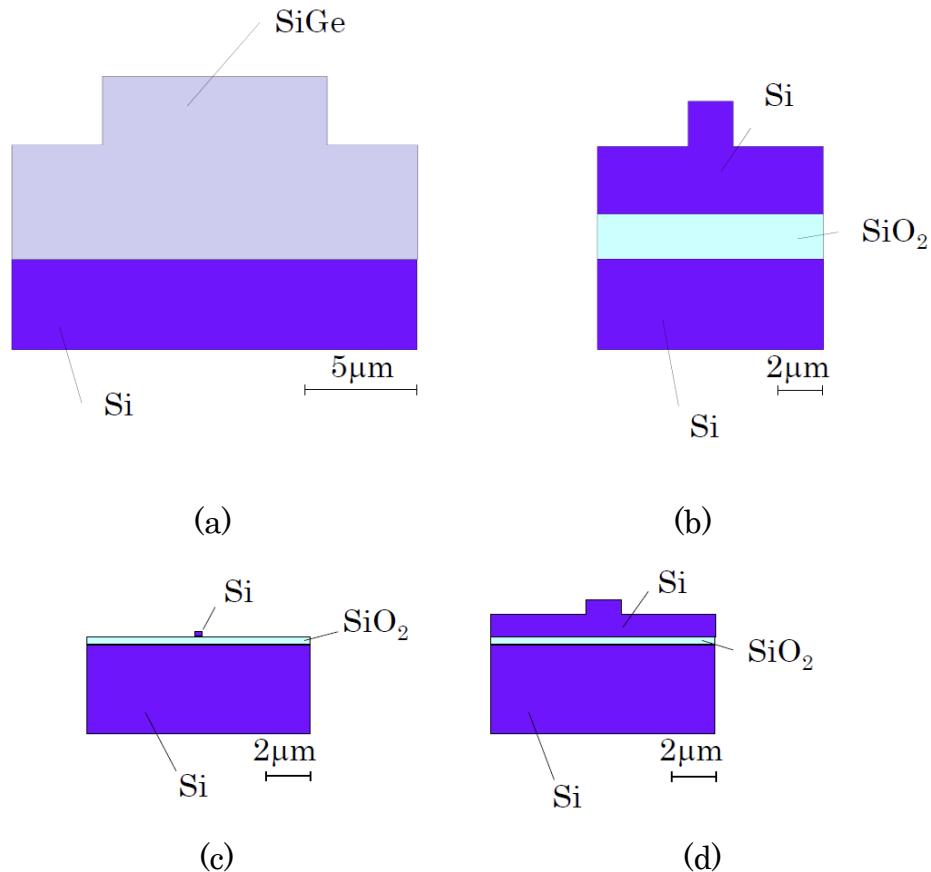


図 1 - 1 光導波路の断面形状の遷移

(a) R. Soref and J. Lorenzo, 1986 年報告[6], (b) P. D. Trinh, et al, 1995 年報告[9]  
 (c) K. Yamada, et al, 2003 年報告[18], (d) L. Liao, et al, 2005 年報告[24]

受光素子においては、2000 年代半ばにおける Ge 材料のシリコン基板への成膜検討の成果[27,28]により、Ge 製フォトディテクターは、周波数応答性・受光感度ともにこの 5 年の間で大きく特性が進展し[29,30]、2009 年には、Kotura 社より波長 1.55μm の光の受光感度が 1.1A/W であり動作帯域 32GHz(-3dB)の特性が得られる光導波路型の受光素子の発表[31]がなされ、実用化段階となりつつある。

発光素子においては、受光デバイスと同様に Ge 材料を用いたデバイスの研究が順調に発展中であり、Kimerling Gp は、Ge 材料を用いた direct gap の photoluminescence[32]、および electroluminescence[33]を 2009 年に発表し、2010 年には 1.59-1.61μm の光励起レーザの発表に至っている[34]。電流注入タイプのレーザ発振も間近にせまっている状況であると考えられる。一方、発光デバイスについては、発光効率が高く、既に単体の半導体レーザとして実用化がなされている III-V 族

化合物半導体材料である AlGaInAs 材料を Si 材料に接合することにより Si 光導波路にレーザ光を導入するハイブリッド構造の研究も University California Santa Barbara の Bowers らによりなされ[35]、2008 年には、Bragg reflector との組み合わせにより波長選択可能なレーザの動作実証もなされている[36]。

SOI 基板上に CMOS 集積回路と光導波路を組み合わせる検討は、Luxtera 社により 2006 年に光通信デバイス[37]が発表され、本格的に SOI 基板を用いた光電気集積回路: EPIC (Electric Photonic Integrated Circuits)の動作実証がなされた。また 2008 年には Luxtera 社により 130nm プロセス世代の CMOS との組み合わせたデバイスである 40Gbps の光トランシーバーデバイスの動作実証がなされている[38]。このデバイスには、レーザ素子は実装されていないが、40GHz の変調器および受光素子が実装されている。しかしこれらデバイスはまだ発売には至っていない。

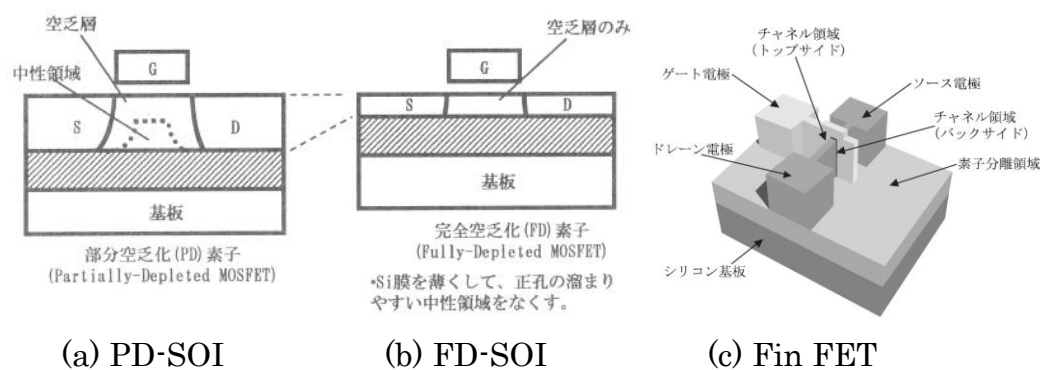
シリコンフォトニクスは Soref らの論文が掲載された 1986 年より 20 年が経過した 2000 年代後半になりようやく要素技術が揃いはじめた状況であり、CMOS 集積回路との組み合わせの準備が行われつつある状況である。

### 1-3 SOI 基板上に形成されるトランジスタの構造と今後の SOI 基板条件

SOI 基板上に形成されるトランジスタは SOI 基板の埋込み酸化膜によって基板部分と絶縁されているので、バルクの Si 基板上に形成されるトランジスタと比較して浮遊容量が少なく高速で動作する。さらに、基板へのリーク電流が少ないので、低消費電力で駆動するという特徴が存在する[16]。

SOI 基板上に構成されるトランジスタの構成は、部分空乏型:PD-SOI (partially depleted - SOI)と、完全空乏型:FD-SOI (Fully depleted - SOI)とに分類される[15]。この二種類のトランジスタの違いは、トランジスタの動作時に body 部分におけるゲート酸化膜直下から埋込み酸化膜に接する領域までのすべての領域が空乏化する FD-SOI と、埋込み酸化膜近傍の body 領域が空乏化しない PD-SOI という違いがあり、参考文献 15 では、PD-SOI は SOI 厚が 80~200nm の範囲に形成されるものであり、FD-SOI は SOI 厚が 60~80nm の範囲に形成されるとされている。

また近年 SOI 基板上に構成することができる更に高速なトランジスタとして Fin-FET[39]が開発されている。図 1-2 に FD-SOI の構成、PD-SOI の構成、fin-FET の概略図を示す[39,40]。この Fin-FET は図にも示すように SOI 基板の埋込み酸化膜層が素子分離層として機能し、トランジスタの電界印加方向が基板の面内方向となっている。このように SOI 基板の上に形成されるトランジスタの構成はその種類により大きく異なっている。



(a) PD-SOI (b) FD-SOI (c) Fin FET  
図 1-2 SOI 基板上に形成されるトランジスタ構造比較[39,40]

バルク基板上に形成されるトランジスタは、半導体の技術進展によりゲート長が狭くなるにつれても、ほぼ同一のバルク基板を用いることができる。しかし、PD-SOI、FD-SOI という SOI 基板上に形成されるトランジスタは、半導体の技術進展によりゲート長が狭くなるにつれて SOI 基板の表面シリコン層の厚さを薄くした基板を用いていく必要がある[41,42]。つまり、PD-SOI において Luxtera 社が用いている PD-SOI トランジスタの SOI 厚は 220nm であるが、この厚さは Freescale 社のゲート長：130nm のデザインルールにおける数値であり、今後ゲート長が狭くなれば SOI 基板の厚さを薄くしていく必要がある。また FD-SOI においては、ゲート長が 30nm 以下となる場合には SOI の厚さは 10nm 以下にする必要があるという報告がある[42]。さらに Fin-FET においては開発中である 20nm のゲート長の条件において SOI 厚は 15nm 程度が最適とされている。

つまり、SOI 基板上に形成することが可能なトランジスタにおける特性向上の観点においては、SOI 基板の Si 基板の厚さは今後薄くなる方向である。

#### 1-4 本研究の目的

シリコン基板よりなる EPIC は、既存の電気回路の機能(IP)を実装することが容易なデバイスであるので、光導波路の直近でコーディング処理、暗号化処理などの高度な信号処理を低価格で行うことに最も適したデバイスであると考えられる。

図 1-3 に Luxtera 社のデバイスの写真[37]を示す。

この写真に示すデバイスは、概略図 1-4 に示すように、光導波路のコア層となる Si と CMOS 集積回路を構成する Si とが同一層である。そのため、光導波路部分と電気集積回路部分とはある程度の間隔を有してエリアを分けなければならないという条件がある。したがって、光導波路を付加することにより電子集積回路の面積は、光導波路部分の面積を上回る量の面積が減らされることとなる。

さらには上述したように、ゲート長 130nm の PD-SOI トランジスタの条件である SOI 層 220nm という条件が、400nm ~500nm の幅の silicon wire 光導波路が閉じ込め効果の強いシングルモード条件と一致しているが、今後トランジスタのゲート長が短くなる場合には、表面のシリコン層の薄い SOI の基板となるので、閉じ込め効果が弱くなる可能性がある。その場合光導波路部分のシリコン層の厚さを部分的に厚くするなどの工夫が必要となる。

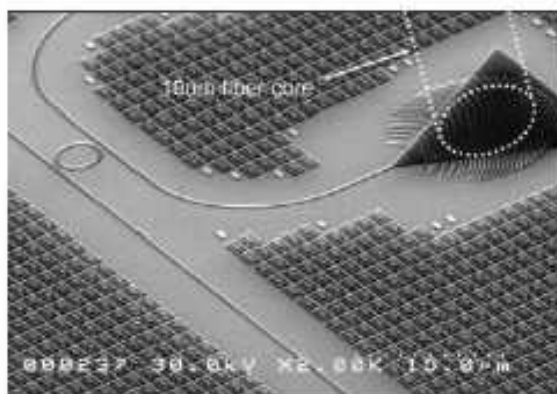


図 1-3 Luxtera 社の EPIC の写真[37]

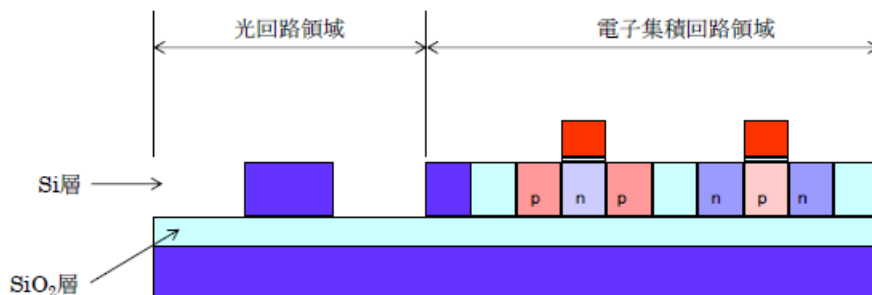


図 1 - 4 CMOS 集積回路と光回路を同一の Si 層に形成した EPIC の構成図

著者は図 1 - 5 に示すように、光導波路層を表面から第二層目の Si 層に配置し、電気回路層と光回路層とを異なるレイヤーに配置することにより、シリコンの表面に形成される電気回路を極力減らさないこととする EPIC(光電気集積回路)構造を提案し、その実用化のために必要な要素技術を研究してきた。この構造には、電気回路層と光回路層のシリコン層厚を一致させる必要が無く、電子デバイス、光デバイスそれぞれに適切なシリコン層厚を選択することができるという特徴がある。

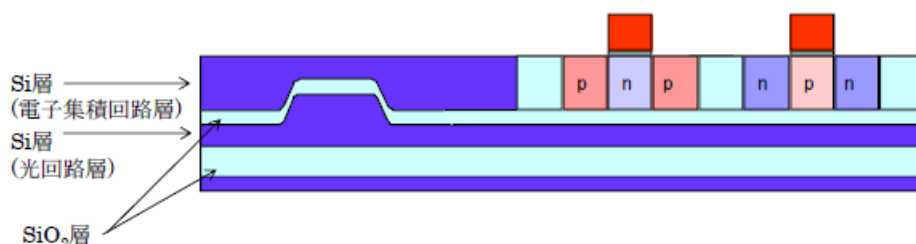


図 1 - 5 CMOS 集積回路と光回路を異なる Si 層に形成した EPIC の構成図

本研究は、CMOS 集積回路技術に適合するシリコン光導波路技術として、パターン SIMOX 法を用いてシリコン基板の表面から第二層目の Si 層に光導波路を形成することを主目的とした研究である。そして、光導波路が形成された基板の最表面の Si 層に CMOS 集積回路を作成するために必要な技術として、SOI ウェーハの全数検査に対応することのできる欠陥の深さ位置を特定することのできる欠陥検査法の実現をはかった。また光導波路回路・電気集積回路が混載されたデバイスを設計する際に必要な、電子デバイスと光デバイスの相互作用を明らかにし、SIMOX 法を用いた SOI 基板で実用的な電子・光混載集積回路を実現する技術の確立を目指して研究を行った。

## 1-5 本論文の構成

本論文の構成を図 1-6 に記す。

第 1 章において、研究の背景として短距離通信マーケットの拡大により光通信デバイスに対して高機能化と低価格化が要求されており、電子・光混載集積回路がその要求を満足するデバイスであることを述べ、本研究の主目的が CMOS 集積回路技術に適合するシリコン光導波路技術として、パターン SIMOX 法を用いてシリコン基板の表面から第二層目の Si 層に光導波路を形成することであることを述べている。

第 2 章においては、CMOS 回路が作製可能な品質で SOI 基板を作製する技術の 1 つであり、本論文にてパターンニングの検討を行った SIMOX 法についての概要と、先行研究に関する検討から得た基礎的知見を記し、本研究の位置づけを詳細に説明する。すなわち、CMOS 回路が形成可能な SOI 基板の製造方法を示すとともに、本研究においてパターン SIMOX 法を採用した理由を示す。また CMOS 回路が形成可能な SOI 基板を作製する SIMOX 技術およびパターン SIMOX 法についての過去の検討例をまとめる。さらに SOI 基板に SIMOX 法を適用し、埋め込み酸化膜を 2 重にした基板作製を検討した結果を示し、最表面の Si 層には欠陥が形成されていなくても表面から 2 層目の Si には欠陥が形成される特性を有していることを示す。

第 3 章においては、CMOS 集積回路層と光回路層とが深さ方向に積層された光電気集積回路が形成される基板に対して、CMOS 集積回路用 Si 層に存在する欠陥と光回路用 Si 層に存在する欠陥、さらには、光回路が形成されるさらに下の層である保持基板に存在する欠陥を分離とをそれぞれ分離することができる非破壊で簡易的な欠陥検査方法についての研究を行った結果を述べる。従来の蛍光顕微鏡を用いた輝点（欠陥）の深さを特定する方法においては、直径 300mm の基板を検査した場合において基板 1 枚あたり 9TB 程度の画像データを処理する必要があったが、本研究では、100nm 程度の深さ分解能を有しながら画像撮影枚数および画像データサイズを 1/10 ~ 1/20 に低減することができる方法を提案・実証した。

第 4 章においては、表面の Si 層に CMOS 集積回路が作製できる品質を保持しながら、表面から第二層目の Si 層に光回路を形成するための技術であるパターン SIMOX 法について研究を行った成果について述べる。この研究により、表面の CMOS 集積回路用 Si 層を先端 CMOS 集積回路の作製に適合する欠陥密度とするパターン



SIMOX 埋め込み光導波路作製レシピが得られた。さらに検討に際して、酸素のイオン注入により形成される埋め込み酸化膜は、基板内部で分離すると基板が割れを生じていない場合においても表面 Si 層には欠陥を形成するという知見、および、パターン SIMOX 法においてはアニール時に外部からの酸素の供給を遮断することによりイオン注入プロファイルに正確な埋め込み酸化膜を形成できるという知見を得た。

第 5 章においては、光回路用 Si 層の直上に低欠陥の CMOS 集積回路用 Si 層に高性能な SOI トランジスタが形成可能であるという特徴を活かして、SOI トランジスタと光導波路を伝搬する光の相互作用効果を用いたデバイスについての研究を行った結果を述べる。SOI トランジスタのボディ部分に、 $1.55\mu\text{m}$  の波長の光を直接照射した場合に、2 光子吸収によりキャリアが発生し、そのキャリアのうち移動速度の遅いホールが SOI トランジスタのボディ部分に残存し、基板浮遊効果によりトランジスタ特性に影響を与えるという原理のメモリーデバイスを提案し、メモリーとしての使用が可能であることを検証した。

第 6 章においては、論文のまとめを行うとともに、本論文の結果により可能であると思われる光電気集積回路の形態を示すとともに、技術の応用範囲の可能性について示す。

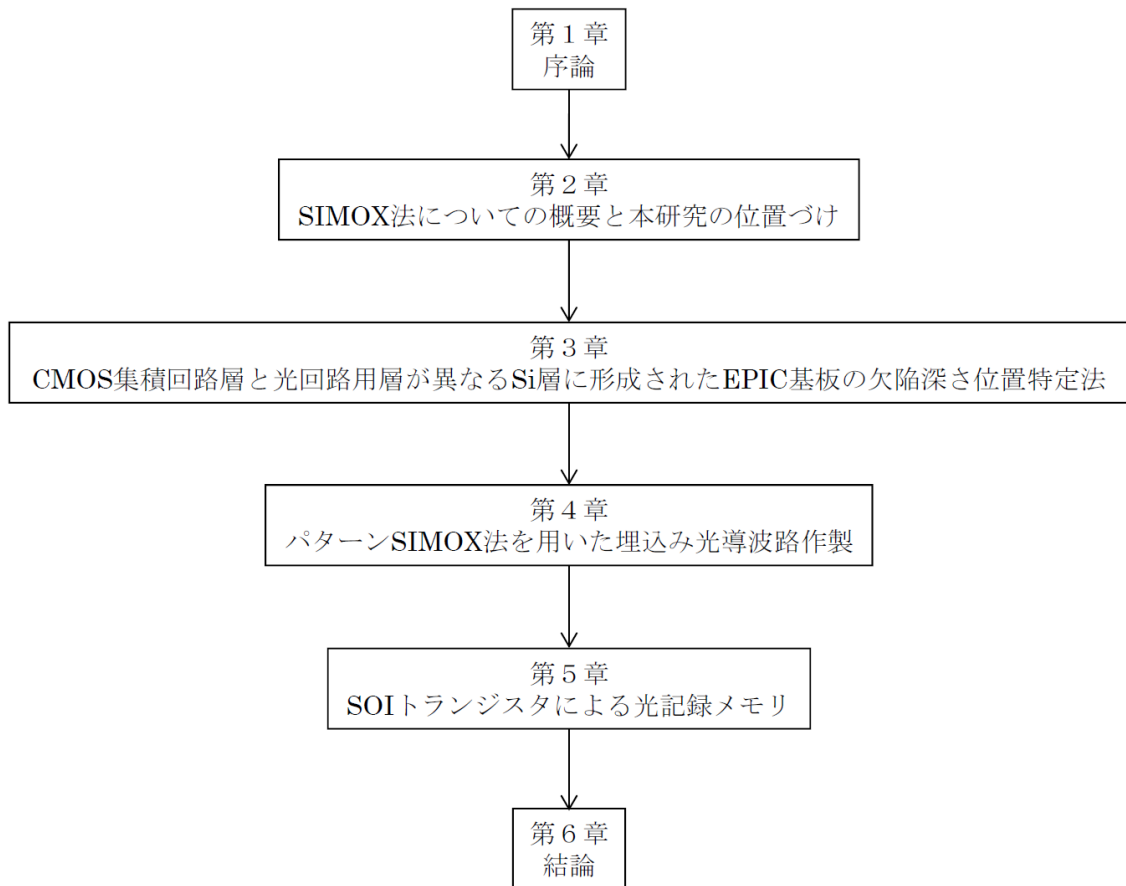


図1-6 本論文の構成

## 第2章 SIMOX 法についての概要と本研究の位置づけ

### 2-1 はじめに

本章では、「CMOS 集積回路技術に適合するシリコン光導波路技術として、シリコン基板の表面から第二層目に光導波路を形成する、」という本研究の主目的を達成するために、CMOS 集積回路が形成可能な2つの SOI 基板製造方法を説明する。そして著者が埋め込み光導波路作製に際してパターン SIMOX 法に着目した理由を記述する。また SIMOX 法およびパターン SIMOX 法の過去の検討例をまとめ理解することにより、表面の CMOS 集積回路用 Si 層を低欠陥密度で作製するためのパターン SIMOX 法を用いた埋め込み光導波路作製プロセスを提案する。さらに SOI 基板に SIMOX 法を適用し2重埋め込み酸化膜基板を形成した基礎実験の結果を示し、最表面の CMOS 集積回路用 Si 層は低欠陥密度の Si 層が得られるが表面から第二層目の光回路用 Si 層には欠陥が残存するという2重埋め込み酸化膜基板の欠陥特性を示す。光回路においては微小欠陥が存在していても重大な影響を及ぼさないが、CMOS 回路において欠陥はトランジスタの動作不良を引き起こす危険性がある。表面の CMOS 集積回路用 Si 層と表面から第二層目の光回路用 Si 層は  $1\mu\text{m}$  以内の距離に近接しているため、基板を導入するためには欠陥の深さ位置を簡便に検出する評価方法が必要であることを明らかにする。

さらに、本研究における課題を本章において明確化し、本研究の位置づけを明らかにする。

### 2-2 CMOS 集積回路用 SOI 基板作製方法

表面の直下に光導波路を形成するためには、表面直下にクラッド層となる  $\text{SiO}_2$  層をパターンニングして形成する必要がある。光回路と電気回路が厚さ方向に集積された EPIC(光電気集積回路)を作製し、表面に CMOS 半導体集積回路を形成するためには、CMOS 集積回路を作製することのできる製法にて表面直下に  $\text{SiO}_2$  層を形成する必要がある。

2011年の時点において、CMOS集積回路を作製することのできるSOI基板の製造方法、すなわち表面直下にSiO<sub>2</sub>層を形成する製造方法はSmartCut法[14]とSIMOX法[15]の2つであるので、本節ではその2つについて説明し、本研究で用いる方法としての適切性を議論する。

### 2-2-1 SmartCut法の説明

SmartCut法の製造方法を図2-1に示す。この方法は、まず2つのバルクSi基板を準備する。(a)次に片方の基板にH<sup>+</sup>をイオン注入し、そして2枚の基板を貼り合わせる準備として表面酸化膜を形成する。(b)そして2つの基板を貼り合わせる。貼り合わせる方法は互いに酸化膜を形成しておきH<sub>2</sub>Oを含む雰囲気中で貼りあわせた後昇温することにより強固な基板を作製する原理を用いる。(c)次に昇温工程において、イオン注入したH<sup>+</sup>が凝集しSiと反応しSiH<sub>4</sub>を形成する。SiH<sub>4</sub>は気体であるので、結果的にH<sup>+</sup>をイオン注入した位置において基板が分離し、SOI基板とバルクSi基板の2枚に別れる。(d)SOI基板は表面を仕上げることによりCMOS集積回路が作製可能となる。また基板AのバルクSi基板は再利用可能となる。

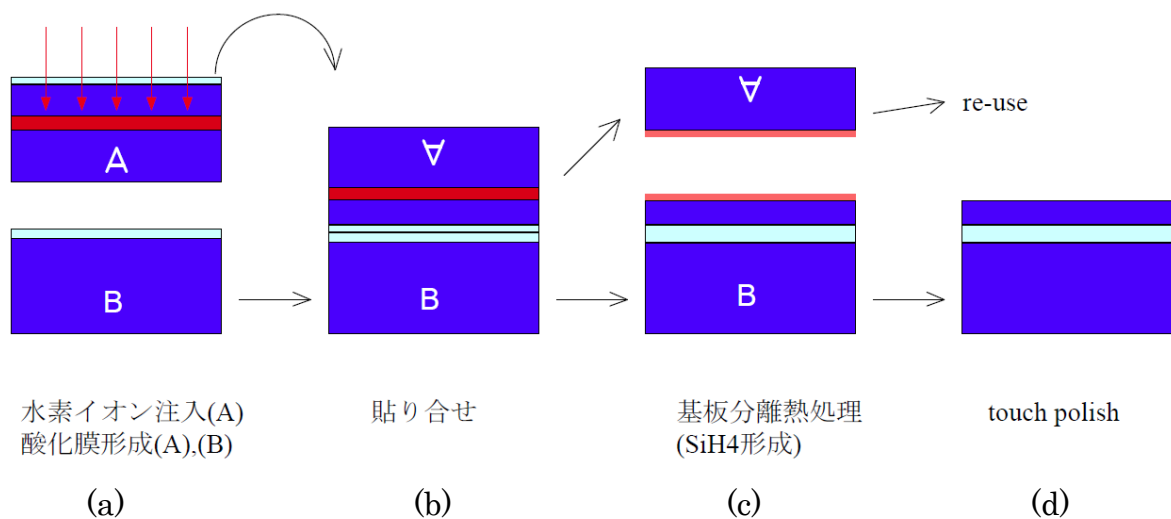


図2-1 CMOS用SOI基板の作製方法1: SmartCut法[14]

## 2-2-2 SIMOX 法の説明

SIMOX 法の製造方法を図 2-2 に示す。この方法は 1 枚のバルク Si 基板を用いる。(a)最初の工程は基板に酸素をイオン注入する工程である。イオン注入量が SmartCut 法の場合に比較して多いことと、酸素が水素に比べて原子量が高いことからイオン注入の際に酸素が通過した領域は、イオン注入工程が終了した時点で結晶性がほとんど失われた状態となっている。(b)次に 1300~1350°C 程度の高温熱処理を行うことにより、イオン注入された領域付近に SiO<sub>2</sub> が形成されるとともに、結晶性をほとんど失っていた表面近傍の Si は再結晶化され単結晶の Si 層が復活する。

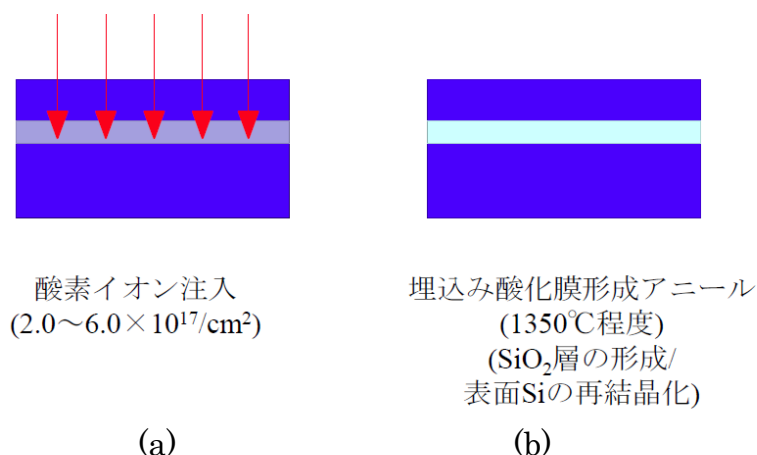


図 2-2 CMOS 用 SOI 基板の作製方法 2 : SIMOX 法[15]

## 2-2-3 埋め込み光導波路形成方法の選択

SOI 基板の表面直下に光導波路を形成するという観点で、上記 2 つの方法を比較する。一般に光導波路を形成すると、その表面は平坦でなくなる。例えば、シリコンでリブ導波路を形成すると、導波路表面のシリコンはリブ導波路のコア上部と両サイドクラッド部分で、シリコンの厚さが異なるため、シリコン表面は平坦でなくなる。SmartCut 法は貼りあわせの際に SiO<sub>2</sub> 面が平坦であることが要求されるので、深さの異なる面に BOX 層を形成することができない。そこで著者らは SIMOX を応用してシリコン基板の表面直下に深さの異なる BOX 層を形成することを試みることを選択し、SIMOX 法を用いて電子デバイスと光デバイスを集積できる SOI 基板の形成に

ついて研究を行うこととした。

### 2-3 SIMOX 法による SOI 基板作製技術の概要

SIMOX(Separation by implanted oxygen) という acronym は、NTT の Izumi により付けられたものである。1978 年の Izumi らの文献[43]には、150keV の加速電圧にて酸素イオンをシリコン単結晶基板にイオン注入し、その後の 1150°C のアニールにより絶縁体層である SiO<sub>2</sub> の埋め込み酸化層 (Buried Oxide : BOX 層) の形成を行い SOI 基板を作製するとともに、CMOS の ring oscillator 回路を形成し動作させている。Izumi らの検討を含む 1980 年代中頃までの SIMOX に関する検討については、1986 年に発表された University of Surrey の P.L.F. Hemment の文献[44]にまとめられている。この時代のイオン注入条件は、現在の主流条件に比較して 2 倍以上のイオン注入量(dose 量)となっており、 $1.0\sim 2.0\times 10^{18}/\text{cm}^2$  程度のイオン注入量である。

高性能な CMOS 集積回路の実装を目指し、イオン注入時の加速電圧に関わる広範囲な研究[45,46]、dose 量に関する広範囲な研究[47]、さらにはアニール中の酸素の out-diffusion, in-diffusion に関する研究[48]を経て、1990 年代から 2000 年頃にかけていくつかの最適条件が発表されている。University of Surrey の P.L.F. Hemment のグループは、dose 量: $3.3\times 10^{17}/\text{cm}^2$ ・加速電圧:70keV という作製条件を見出し[49]、Chinese Academy of Science の Meng Chen らは、dose 量: $4.5\sim 5.5\times 10^{17}/\text{cm}^2$ ・加速電圧:160keV の条件を見出すとともに[50]、加速電圧をイオン注入量に合わせて調整することにより  $2.5\sim 5.5\times 10^{17}/\text{cm}^2$  の dose 量の範囲で最適な加速電圧が存在することを示している[51]。NEC の Ogura らは、180keV の加速電圧条件であっても、熱処理条件をそれぞれ最適化することにより  $2.0\sim 6.0\times 10^{17}/\text{cm}^2$  の dose 量範囲で低欠陥密度の高品質な SOI 基板が作製可能であることを見いだしている[52]。また SIMOX 専用イオン注入装置を製造していた Ibis Technology Corp と三菱マテリアル社は共同で、dose 量: $4.0\times 10^{17}/\text{cm}^2$ ・加速電圧:175keV の条件[53]、および dose 量: $2.0\sim 2.5\times 10^{17}/\text{cm}^2$ ・加速電圧:65keV の条件[54,55]を報告するとともに、CMOS 集積回路用 SOI 基板を製品化した。これらの低欠陥密度の高品質な SOI 基板が作製可能であるイオン注入量が  $2.0\sim 6.0\times 10^{17}/\text{cm}^2$  の範囲の SIMOX 法は、low dose SIMOX 法

と呼ばれ、P.L.F. Hemment の文献[44] にまとめられたイオン注入量が  $1.0\sim 2.0\times 10^{18}/\text{cm}^2$  程度の SIMOX 法は high dose SIMOX 法と呼ばれている[15]。

さらに NTT の Izumi は、SIMOX 法により作製された SOI 基板に高酸素濃度でのアニールを施すことにより BOX 層を厚くする技術を報告し、その技術を ITOX(internal thermal oxidation)法と名付けるとともに、dose 量:  $4.0\times 10^{17}/\text{cm}^2$  ・加速電圧: 180keV + ITOX という条件を発表している[56]。Siltronic Japan の Matsumura らは、ITOX を行うことにより 180keV の加速電圧条件においても dose 量の最適範囲を  $0.3\sim 0.4\times 10^{18}/\text{cm}^2$  に広げられることを報告[57]するとともに、CMOS 集積回路用 SOI 基板として製品化している。

SIMOX 法による SOI 基板の作製工程に用いる装置においては、イオン注入装置が最も高価であるので、dose 量を少なくすることはイオン注入装置の使用時間であるイオン注入時間を短くすることにつながり、ITOX 法は SOI 基板の量産効率を高めた観点で有効である。

図 2-3 に SIMOX 法により作製した SOI 基板の埋込み酸化膜部分の不良例を示す。図 2-3 (a) は、埋め込み酸化膜の不連続であり、イオン注入時の dose 量の不足あるいはイオン注入時に基板表面にゴミなどがある場合に発生する。さらに図 2-3 (b) に示す不良は Si island と呼ばれる不良であり埋め込み酸化膜中にシリコンが残留する不良であり、イオン注入量が多い時に発生する不良となっている。そしてそれら不良が発生するといずれの場合も酸化膜の絶縁性能を劣化させることとなる。

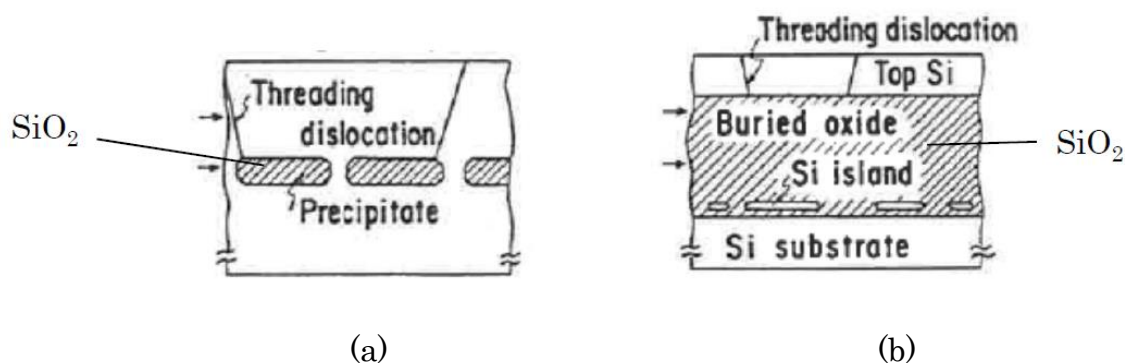


図 2-3 SIMOX 法により生じる埋め込み酸化膜付近の不良[47]

上記に示したレビューをまとめると、基板の全面に一樣なイオン注入を行い一樣な BOX 層を有する SOI 基板の製造条件は各社異なり 1 点ではない。そして  $2.0\sim 6.0\times$

$10^{17}/\text{cm}^2$  の dose 量の範囲においては、加速電圧およびアニール条件を調整することにより半導体デバイス作製グレードの SOI 基板を作製することができる条件があると見込まれる。

## 2-4 パターン SIMOX 法の過去の研究

次に SIMOX 法において酸素のイオン注入を部分的に行う部分 SIMOX 法(パターン SIMOX 法あるいは local SIMOX 法)についての過去の研究について述べる。

パターン SIMOX 法によりシリコン基板を部分的に SOI 基板とする試みの目的は、SOI 基板上に形成される高速な演算回路と、バルク Si 基板に形成される安価なメモリーである DRAM とを 1 つのチップに混載することである。半導体メモリーとして最も普及し安価である DRAM は、キャパシタタイプのものである。キャパシタタイプのメモリーは、記憶性能の向上と実装密度の向上を両立するために、バルク Si 基板に細く深い穴を形成し、穴の側面に絶縁膜(酸化膜)と電極膜を形成することにより、狭い表面占有面積で大きな静電容量を得る構成を採用している。SOI 基板は埋め込み酸化膜層で絶縁されているので、実装密度の高いキャパシタタイプの DRAM を構成することができない。そこで図 2-4 に示すようにパターン SIMOX 法により部分的に SOI 基板を作製し、DRAM 部分と CMOS 演算回路部分とを分ける試みがなされていた。その試みは CMOS 作製レベルの SIMOX 基板が得られる前である 1990 年代初頭に University of Surrey の P.L.F. Hemment らにより検討が開始されており [58,59]、Fraunhofer Institute[60]および IBM[61]らにより 2000 年ころにも検討がなされている。しかし図 2-5 に示すように Si が  $\text{SiO}_2$  になる場合には体積が 2.27 倍に膨張するので、イオン注入がなされた領域と注入されてない領域との界面では極めて強い応力が発生することとなる。図 2-6 に IBM の結果[61]示すが、界面に割れが発生している。



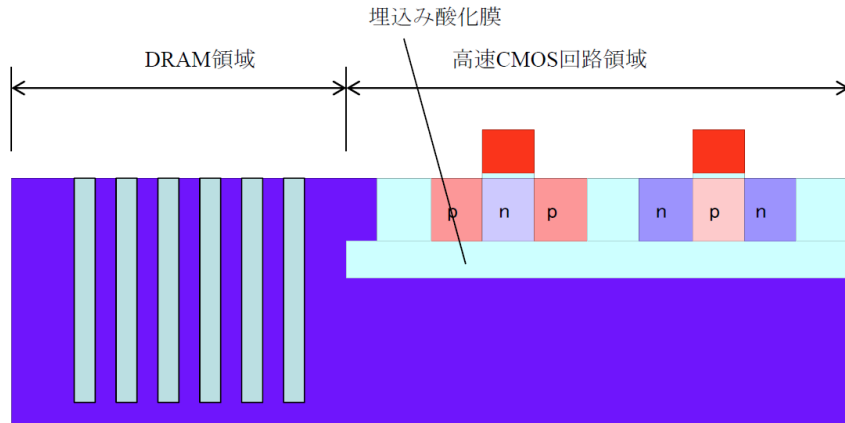


図 2-4 パターン SIMOX 法により検討された部分 SOI 基板[58-61]

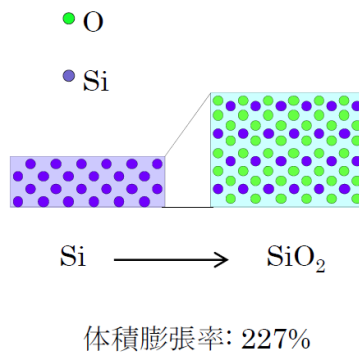


図 2-5 Si-SiO<sub>2</sub> の体積膨張

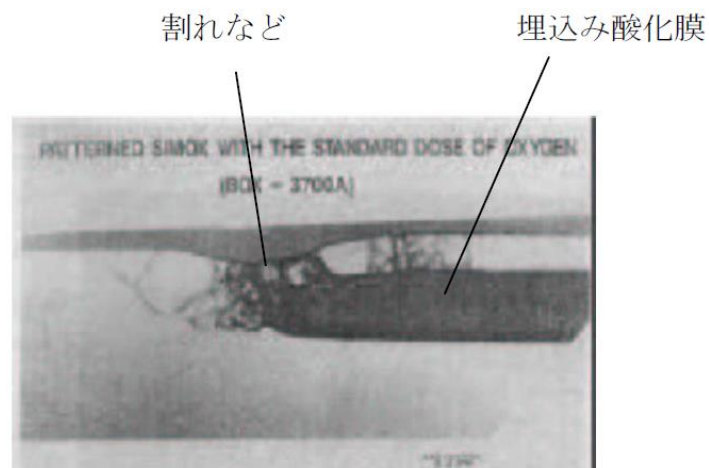


図 2-6 パターン SIMOX の検討例[61]

この割れを防止するための検討として Chinese Academy of Science の Meng Chen らは、dose 量: $2.0 \times 10^{17}/\text{cm}^2$ ・加速電圧:50keV による条件[62]および dose 量: $3.5 \times 10^{17}/\text{cm}^2$ ・加速電圧:100keV の条件[63]において割れを回避した結果を示している。図 2-7 は dose 量: $3.5 \times 10^{17}/\text{cm}^2$ ・加速電圧:100keV の条件での結果[63]を示すが、この図かわもわかるようにイオン注入を行った部分と行わなかった部分の界面の BOX 形状が非対称であり、イオン注入に忠実な BOX 層ではないことがわかる。

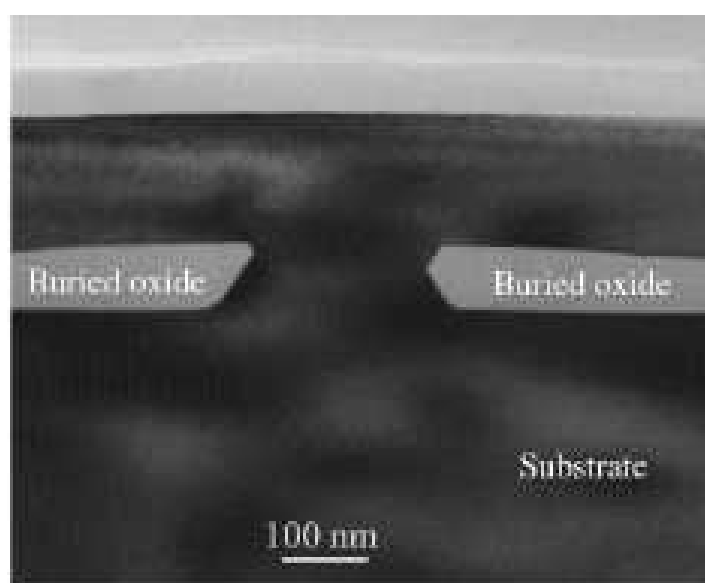


図 2-7 Meng Chen らによるパターン SIMOX の断面写真[63]

本節のパターン SIMOX 法に関する過去の研究レビューにより、基板の一部にイオン注入を行う local SOI 基板の製造については、イオン注入を行う部分と行わない部分の界面において、基板の割れが生じることあるいは制御不可能な BOX 界面形状となってしまう、基板に損傷を与えることなくイオン注入に忠実な BOX を作製することはできない、ことがわかる。

## 2-5 透過マスクを用いたパターン SIMOX 法による光導波路作製法

前節に記したパターン SIMOX 法の研究例において、部分的に BOX 層を形成する製造方法は、基板に損傷を与えることなくイオン注入に忠実な BOX 層を作製するこ

とはできない[60-63]。そこで筆者は、イオン注入は全面に行うがその深さを変調させることによるパターン SIMOX 法であれば、Si が SiO<sub>2</sub> に変化する際の体積膨張は面内で一様となるので応力集中による基板損傷を防ぐことができるとともに、イオン注入のプロファイルに忠実な BOX 層を形成することにより表面直下にリブ型光導波路を形成することができる考えた。略式化したプロセスフローを図 2-8 に示すが、(a) マスクパターンが形成された基板への酸素イオン注入工程と (b) アニール工程となる。

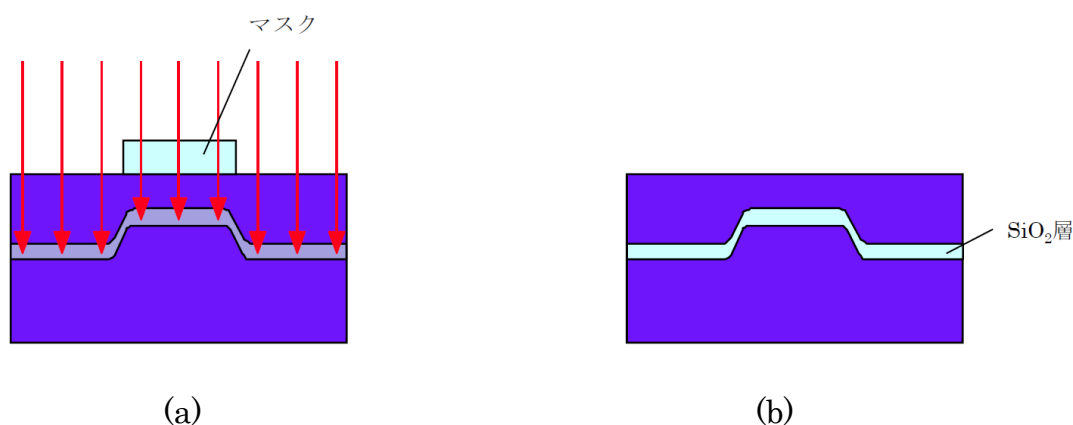


図 2-8 透過マスクを用いたパターン SIMOX 法の提案方法

次に、この透過マスクを用いたパターン SIMOX 法を用いて形成する光導波路の形態について述べる。

図 2-9 にバルク Si 基板へ 1 回のパターン SIMOX 法のみにより作製することのできる光導波路の形状として、表面に逆型のリブ型光導波路が形成されている場合の伝搬モードと伝搬損失を、Photon Design 社(<http://www.photond.com/>)のビーム伝搬法を用いた光導波路シミュレータ FIMMWAVE を用いて計算した結果を示す。低欠陥密度の表面 Si 層が得られる low dose SIMOX 法により形成される埋込み酸化膜の厚さは約 100nm であるので、図 2-9 (a) に示した構成においては SiO<sub>2</sub> 層の厚さを 100nm としている。図 2-9 (b), (c) に示した TE モードと TM モードの電界強度は、基板方向の閉じ込めが弱く、波長 1.55 $\mu$ m において 0.31dB/ $\mu$ m (TE モード)、0.47dB/ $\mu$ m (TM モード) と著しく大きい伝搬損失を有している。

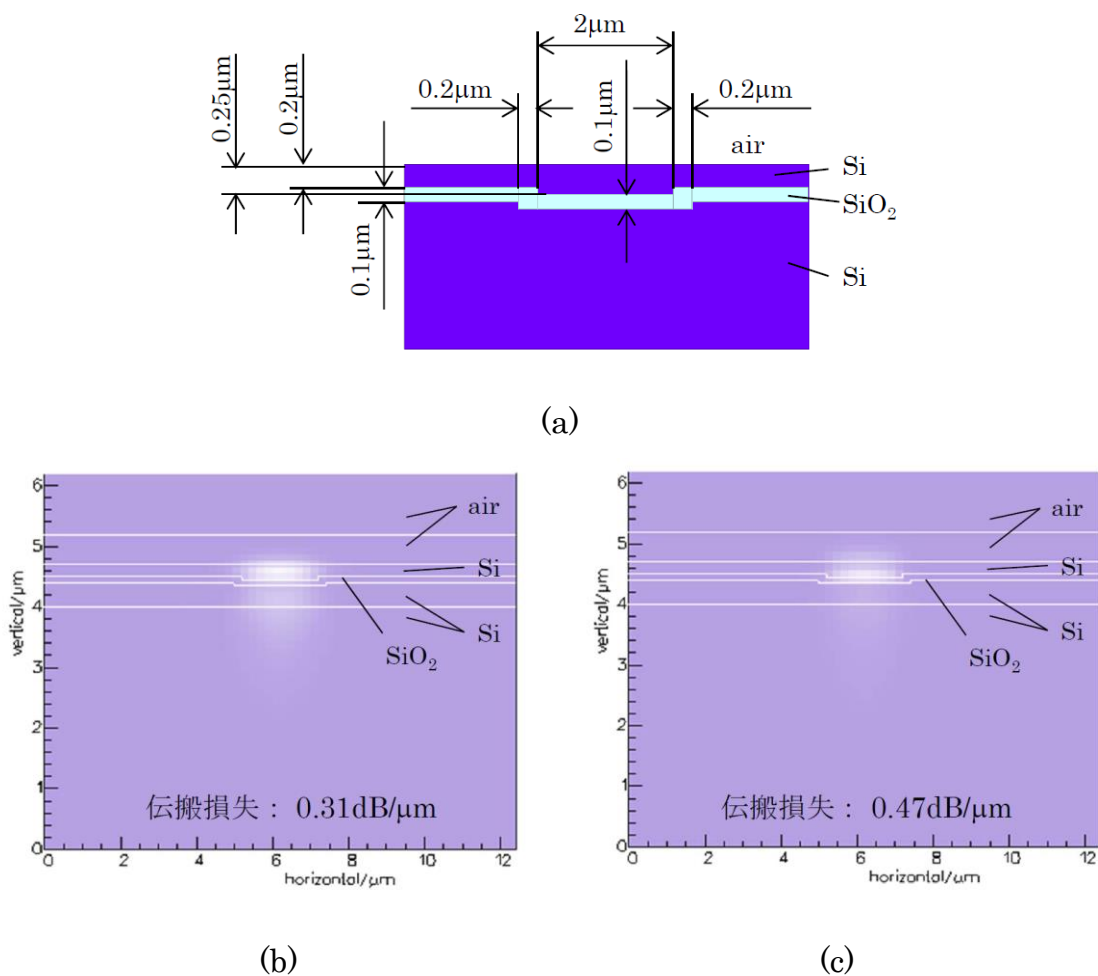


図 2 - 9 パターン SIMOX 条件法により形成した逆型のリブ型光導波路の電界強度分布と伝搬損失 (波長  $1.55\mu\text{m}$ )

- (a) シミュレーションに用いた光導波路の形状
- (b) TE モードの電界強度分布
- (c) TM モードの電界強度分布

Rickman らは、シリコン光導波路において基板放射の抑制に必要な埋込み酸化膜は  $0.4\mu\text{m}$  以上であると報告している[64]。したがって、図 2 - 10 に示すように、 $0.4\mu\text{m}$  の埋込み酸化膜を有する SOI 基板に透過マスクを用いたパターン SIMOX 法を行う光導波路作製方法を提案する。略式化したプロセスフローを図 2 - 10 に示すが、(a)マスクパターンが形成された SOI 基板への酸素イオン注入工程と(b)アニール工程となる。

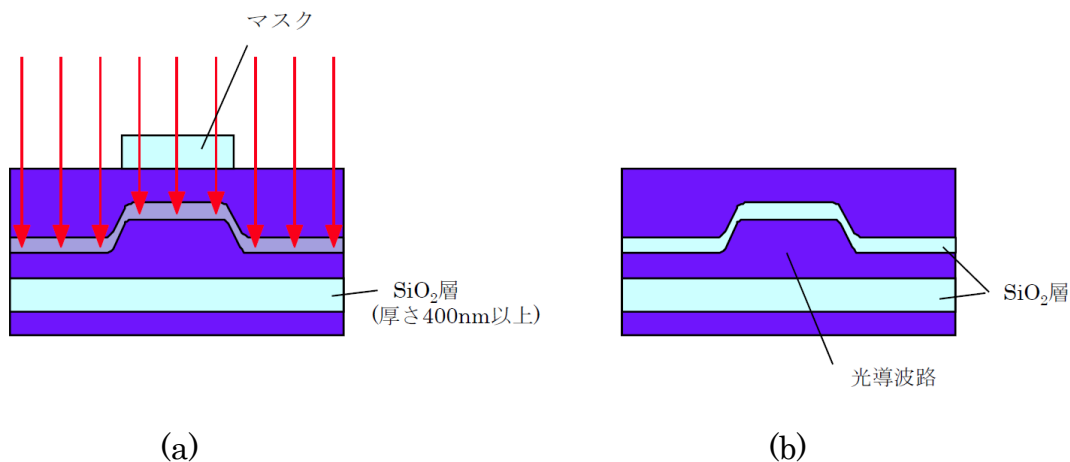


図 2 - 1 0 透過マスクを用いたパターン SIMOX 法による光導波路作製法

## 2 - 6 CMOS 集積回路と光回路を厚さ方向に積層した光電気集積回路の特徴

本節で、CMOS 集積回路と光回路を厚さ方向に積層した光電気集積回路構成の有する特徴を記す。

特徴 1：電気集積回路の面積を相対的に大きくすることができ、デザインの制約条件を緩和することができる。

光回路を配置することにより少なくなる電気集積回路の面積を極力減らすことができる。したがって、電気集積回路と光回路とが同一レイヤーに存在する場合に比較して、相対的に電気集積回路の面積を広くすることができる。電気集積回路と光回路とが同一レイヤーに存在する場合には、光導波路が配置してある領域を電気回路が横切ることが容易でなく、また電気回路が配置してある領域に光導波路を配置することができなかったが、電気回路と光回路を異なるレイヤーに配置することによりレイアウト制限が大きく緩和される。レイアウト制限が緩和されることにより、信号の到達時間の調整を光導波路の長さを調整して行うことなどのレイアウト調整作業を容易にできるようにすることができる。

特徴 2：半導体と光回路とのシリコンの厚さを異なる厚さとすることができる。

CMOS 集積回路の世代が進んで SOI 基板の表面シリコン層の厚さが薄い基板を用

いる場合にも、これに合わせて光導波路の構造を無理に対応させる必要がない。また逆に光導波路の条件変更を要することなく CMOS 集積回路が形成される Si 層の厚さを薄くすることができ CMOS 集積回路のデザインルールの世代を進ませることができる。また光回路層の厚さを Luxtera 社の条件(220nm)よりも厚くすることができるので、光導波路の構造としてリッジ型光導波路の使用も可能となる。

特徴 3 : 2 層の光回路層の光回路デバイスの作製が可能となる。

電気回路形成層の一部にも光回路を形成することにより、2 層に形成された光回路を作製することができる。つまり光-光結合を深さ方向に近接させた光導波路の結合現象を用いて行うことができることとなる。図 2-11 に示すように深さ方向に近接された光導波路による結合を容易に複数配列することができるので、フィルター特性の調整が容易になるなどの可能性がある。

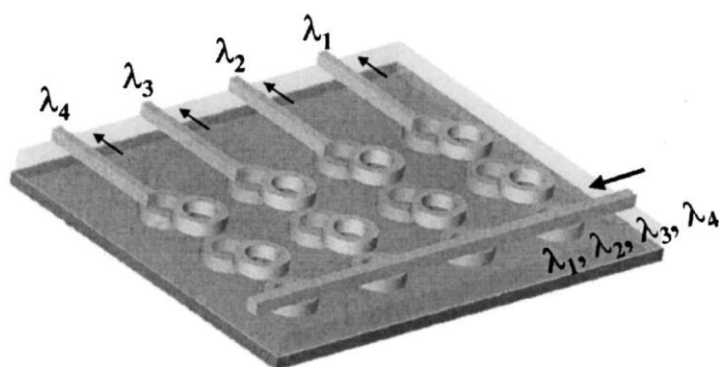


図 2-11 深さ方向の結合を用いた光回路構成例

## 2-7 パターンなし SOI 基板への SIMOX 実施の検討

### 2-7-1 パターンなし SOI 基板への SIMOX 実施実験の目的

SOI 基板を用いて SIMOX 法を適用することにより基板の表面から第二層目の Si 層に光導波路を形成するプロセスと、通常の SIMOX 法における SOI 基板の作成方法を比較すると下記の点において異なっている。

- 1 イオン注入を行う基板が SOI 基板であること。
- 2 イオン注入工程においてマスクが存在していること。

イオン注入を行う基板が SOI 基板であることは、図 2-12 に記すようにバルク Si 基板へのイオン注入時に比較して、イオン注入時の電流の逃げ場が無いことから、基板にダメージが残ることが危惧されるので、その確認が必要である。

そこで本節においては、SOI 基板に対して通常の CMOS 用の SOI 基板を作製する SIMOX 工程を適用し、欠陥のない表面 Si 層および均一な埋め込み酸化膜の形成がなされるかどうかの確認を行うことを目的とした。

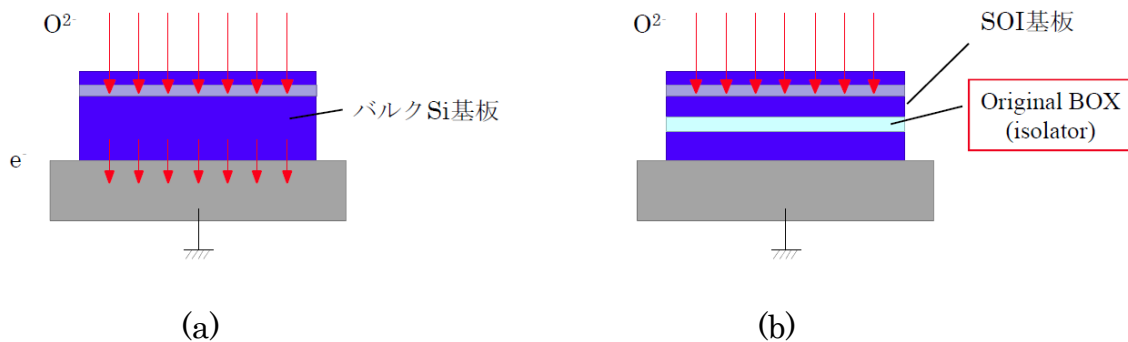


図 2-12 通常の SIMOX 法とのイオン注入工程比較  
 (a)通常の SIMOX 法における SOI 基板の作製工程  
 (b)表面から第二層目の Si 層に光導波路の作製工程

## 2-7-2 パターンなし SOI 基板への SIMOX 実施実験の方法

実験には、CMOS 用 SOI 基板を SIMOX 法にて製造している Siltronic Japan 社における通常の SOI 基板製造条件 (dose 量: $4.0 \times 10^{17}/\text{cm}^2$ ・加速電圧: $180\text{keV}$ ・ITOX) [57]を SOI 基板に適用した。

実験に供した SOI 基板は 3 種の SOI 基板である。基板 A として SOITEC 社が SmartCut 法により作製した SOI 膜厚 700nm の SOI 基板、基板 B,C として Siltronic Japan 社が SIMOX 法により作製した SOI 膜厚 700nm と 550nm の 2 種類の基板、の合計 3 種類の SOI 基板を用いた。またリファレンスとして通常の SOI 基板を作製する際に用いるバルク Si 基板もこのイオン注入+アニール工程に投入することによ

り、欠陥密度に差が生じるかどうかの比較実験を行った。この実験はすべて Siltronic Japan 社が量産している直径 200mm 基板用の装置を用いて、4 種類の基板の条件が揃うよう同一バッチのイオン注入工程とアニール工程を行った。

Siltronic Japan 社における SIMOX 法により作製する SOI 基板の表面 Si 層の厚さは、ITOX 処理を行う場合約 175nm であるので、その SOI 基板に同一加速電圧条件でのイオン注入を行うためには、SOI 厚を厚くする必要がある。そのため、基板 B,C は SIMOX 法により BOX 層を形成した後に表面の Si をエピタキシャル成長させて厚さを 550nm と 700nm と厚くした。BOX 層厚は、基板 A,B,C それぞれ 400nm, 150nm, 150nm である。表 2-1 に実験に供した基板の条件を実験結果とともに記す。

### 2-7-3 パターンなし SOI 基板への SIMOX 実施実験の結果

図 2-13(a)~(c)に検討を行った基板 A, B, C の断面 TEM(透過型電子顕微鏡)写真および TEM 装置を用いて撮影した透過電子線回折像の写真を示す。なお写真において BOX-1 は購入した SOI 基板に存在する BOX 層であり、本比較実験の SIMOX 工程により作製した BOX 層は BOX-2 である。

SOI 層は BOX-2 の作製により図示するように SOI-1、SOI-2 に分断されるので 2 層存在する。

この写真観察結果より、この SIMOX 工程において BOX-1 が存在している基板においても BOX-2 は一様な厚さで連続に作製されていることがわかった。

透過型電子顕微鏡写真は、欠陥などが存在すれば線となり観察ができる手法である。透過電子線回折は、電子線を照射している部分の結晶構造が乱れなく規則正しく配置していればニジミのない小さい回折パターンが得られるものであり、結晶品質を定性的に評価することができる。



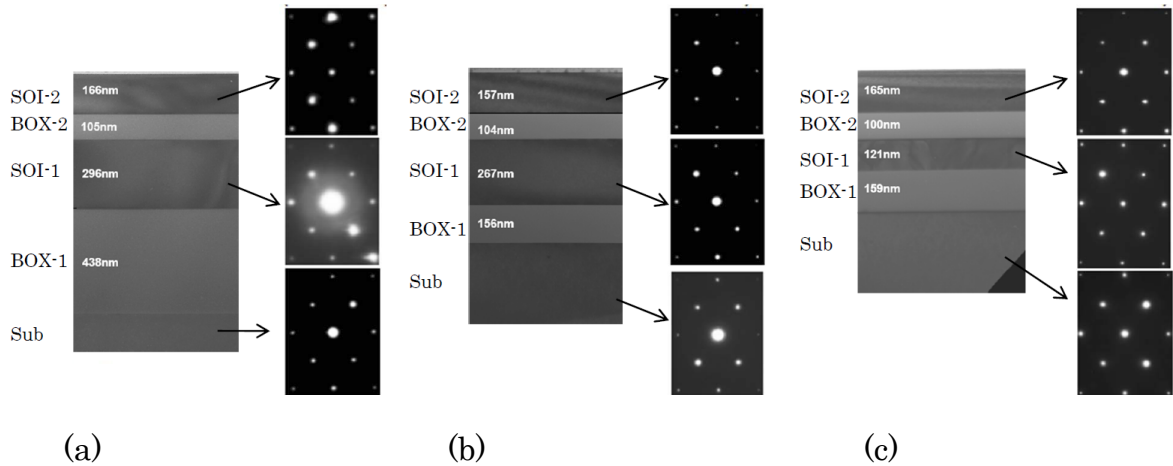


図 2-13 SOI 基板への SIMOX 法による BOX 層作製の結果

- (a) 基板 A(SOITEC 社製, SOI 層厚:700nm, BOX 層厚: 400nm)の結果
- (b) 基板 B(Siltronic Japan 社製, SOI 層厚:700nm, BOX 層厚: 150nm)の結果
- (c) 基板 C(SOITEC 社製, SOI 層厚:550nm, BOX 層厚: 150nm)の結果

また Si 層部分の定量的な欠陥評価は破壊評価の 1 手法である Secco Etching[65]により評価を行った。Secco Etching というシリコン基板の欠陥評価手法は 1972 年に F. Secco d' Aragona により発表された欠陥評価手法[65]であるが、このオリジナルの評価手法は Si を深くまでエッチングする方法であるので、表面の Si 層の厚さが薄い場合の評価が難しい。Krause、Nakano、Hemment らにより薄い SOI 厚の SOI 基板であっても正しく欠陥密度を評価できるように修正された Secco Etching[66-68]が存在する。本研究では、Siltronic Japan が採用している Hemment により修正された Secco Etching の手法[68]を用いた評価方法を採用した。

表 2-1 に各基板 A, B, C の表面の CMOS 集積回路用 Si 層(SOI-2)および表面から第二層目の光回路用 Si 層 (SOI-1)の欠陥密度を測定した結果を示す。

22nm の CMOS デザインルールに対応する 2011 年発行の ITRS (International Technology Roadmap for Semiconductors)において、 $1.0 \times 10^4/\text{cm}^2$  以下の欠陥密度のシリコン基板は極めて欠陥密度が低いレベルであると記載されている[69]。集積回路の設計においては、回路の一部に欠陥が生じていても予備の回路を駆動させるなどの対策を行うことにより回路全体を正常に駆動させる欠陥救済技術[70]が一般的に用いられている。 $1.0 \times 10^4/\text{cm}^2$  以下の欠陥密度が極めて欠陥密度が低いレベルである記載されていることは、 $1.0 \times 10^4/\text{cm}^2$  以下の欠陥密度の基板は、基板欠陥に対応する欠陥

救済技術の冗長性を高める必要がない程度に品質のよい基板であることを示している。したがって、いずれの基板においてもほぼ良好な再表面の CMOS 集積回路用 Si 層(SOI-2 層)が形成されていることがわかった。リファレンスの SOI 基板(Siltronic Japan 社の製品レベル)における欠陥密度が  $2.7 \times 10^3/\text{cm}^2$  であることから、基板 A の CMOS 集積回路用 Si 層の欠陥密度は極めて高品質な基板であり、この SIMOX 基板工程においてトランジスタは悪影響を及ぼされない品質である。

表 2-1 基板条件と欠陥密度の測定結果

	実験に供した基板の条件				Secco Etchingによる欠陥評価結果	
	SOI基板製造者	製法	BOX-1層厚 (nm)	SOI層厚 (nm)	最表面のCMOS集積回路用Si層の欠陥密度( $\text{cm}^{-2}$ )	表面から第二層の光回路用Si層の欠陥密度( $\text{cm}^{-2}$ )
A	SOITEC	Smartcut	400	700	$1.8 \times 10^3$	$> 5 \times 10^7$
B	Siltronic Japan	SIMOX +Epi	150	700	$1.6 \times 10^4$	$> 5 \times 10^7$
C	Siltronic Japan	SIMOX +Epi	150	550	$2.0 \times 10^4$	$> 5 \times 10^7$
reference	Siltronic Japan	bulk			$2.7 \times 10^3$	

また透過電子線回折像については、基板 A の光回路用 Si 層(SOI-1 層)のパターンに多少コントラストが低下している写真が得られているが、他の写真についてはいずれもコントラストの高い回折パターンが得られている。この結果は、基板 A の中間層のシリコン結晶が他の部分にくらべて格子の歪みがあることを示している。基板 A の透過電子顕微鏡の光回路用 Si 層(SOI-1 層)の結晶回折像のコントラストが低下していたので、SOI-1 層における欠陥を探したところ図 2-14 示すように貫通転位らしき部分を発見することができた。この図 2-14 に示した写真から、SOI-1 層に貫通転位が形成されている領域に近接している表面の CMOS 集積回路用 Si 層(SOI-2 層)には欠陥が存在していないことがわかる。つまり、光回路用 Si 層(SOI-1 層)と CMOS 集積回路用 Si 層(SOI-2 層)に存在する欠陥とは独立である可能性が高い。

基板 A の中間 Si 層(SOI-1 層)の透過電子線回折像が基板 B,C の中間 Si 層の結果と比較してコントラストが低下している原因は、BOX-1 の厚さが厚い可能性もある。基板 A の中間 Si 層(SOI-1 層)の品質低下の度合いは、貫通転位が発見された部分においてもほぼ一様な明るさの TEM 写真となっている。

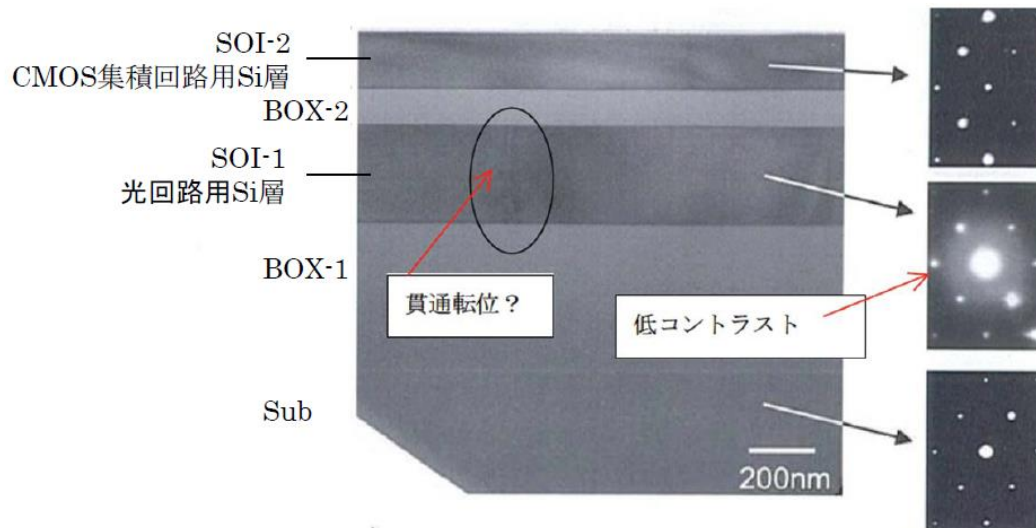


図 2 - 1 4 基板 A の断面透過電子顕微鏡写真と透過電子線回折像の写真

この節に示した、SOI 基板に対する SIMOX 基板の作製は、CMOS 集積回路が形成される表面の Si 層(SOI-2 層)は先端 CMOS 集積回路を作製することが可能な低欠陥密度であることが確認されたが、光回路が形成される表面から第二層目の Si 層 (SOI-1 層) にはある程度の欠陥が形成されることが判明した。

SOI 基板など高価な納品時には X 線トポグラフィ [71] という非破壊の結晶欠陥評価手法により評価された、基板全体の欠陥がないことを示すデータが添付されてくることがある。

しかしながら SOI-1 と SOI-2 は 100nm から 150nm 程度の酸化膜の厚さしか離れていないので、表面の Si 層(SOI-2 層)に欠陥がないことを非破壊で示すことは X 線トポグラフィでは不可能である。また光学顕微鏡を用いての焦点位置の違いによる結晶位置観察においても 150nm, あるいは 200nm の深さ位置の違いは光学顕微鏡の焦点深度内であるので容易に位置判別をすることができない。CMOS 集積回路と光回路とがそれぞれ異なる層に形成される光電気集積回路を実現するためには、CMOS 集積回路が形成される層に存在する欠陥と光回路が形成される層に存在する欠陥、さらには、光回路が形成されるさらに下の層である保持基板に存在する欠陥を、それぞれ分離して検出する非破壊の欠陥検査法の開発が必要不可欠である。そしてその非破壊の欠陥検査方法はなるべく簡易的なものであり、全数の基板評価に対応できることが望ましい。

## 2-8 本研究の位置づけ

本研究は、シリコン光電気集積回路の実現に必要な技術として CMOS 集積回路技術に適合する光導波路技術として、パターン SIMOX 法を用いてシリコン基板の表面直下に光導波路を形成する SOI ウェーハ製法の研究を行う。そして、表面の Si 層に CMOS 集積回路が形成されるために必要な技術として、表面の CMOS 集積回路が形成される Si 層に存在する欠陥と表面直下の光回路が形成される Si 層に存在する欠陥とを分離して検出・分析する非破壊の欠陥検査方法についての研究を行う。

さらに本研究は、光回路用 Si 層の直上に低欠陥密度の高品質な CMOS 集積回路用 Si 層に高性能な SOI トランジスタが形成可能であるという特徴を活かして、SOI トランジスタと光導波路を伝搬する光の相互作用効果を用いたメモリーデバイスについても研究を行う。

## 2-9 まとめ

本章では、「CMOS 集積回路技術に適合するシリコン光導波路技術として、シリコン基板の表面直下に光導波路を形成する、」という本研究の主目的を達成するために、パターン SIMOX 法が適している可能性を示した。そして表面の Si 層に割れ・欠陥発生を伴わないパターン SIMOX 法として、半透過マスクを用いたパターン SIMOX 法を提案した。また提案方法の基礎実験として SOI 基板に SIMOX 法を適用し、再表面の CMOS 集積回路用 Si 層は低欠陥密度の Si 層が得られるが表面から第二層目の光回路用 Si 層には欠陥が残存するという 2 重埋め込み酸化膜基板の欠陥特性を示した。そして光回路においては微小欠陥が存在していても重大な影響を及ぼさないが、CMOS 回路において欠陥はトランジスタの動作不良を引き起こす危険性があり、CMOS 回路が形成される表面の Si 層と光回路が形成される表面から第二層目の Si 層は  $1\mu\text{m}$  以内の距離に配置されているため、本手法による Si 層積層基板を用いるためには、欠陥の位置を、深さ方向に  $0.1\mu\text{m}$  程度の分解能で検出する簡易的な欠陥評価方法が、パターン SIMOX 法の研究とともに必要であることを示し、本研究の位置づけを記した。

### 第3章 蛍光顕微鏡を用いた高効率な非破壊欠陥特定法

#### 3-1 はじめに

CMOS 集積回路用 Si 層と光回路用 Si 層の 2 つの Si 層を有する光電気集積回路用基板においては、図 3-1 に示すようにその欠陥がどの Si 層に位置しているのかにより欠陥の影響度が異なる。そして第 2 章に示した SOI 基板に SIMOX 法を適用した検討において得られた、CMOS 集積回路用 Si 層に欠陥がない部分においてもその直下の光回路用 Si 層に欠陥が存在する可能性があるという結果から、欠陥がどの層にあるのかを分離して検出する非破壊の欠陥検査方法が必要であることを示した。

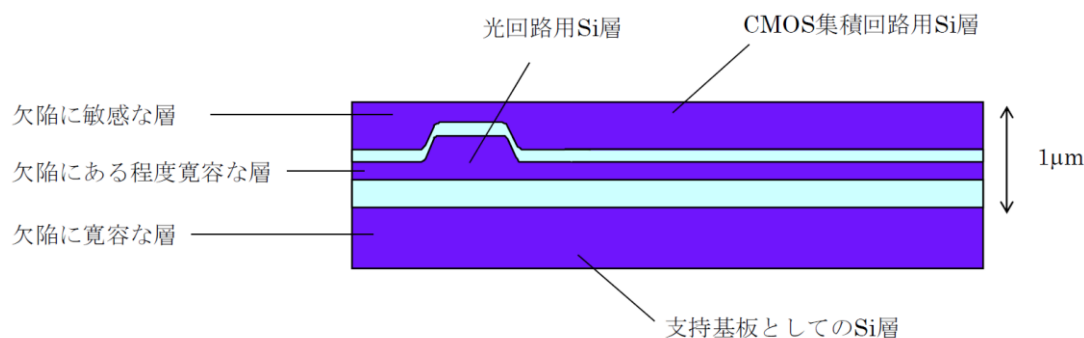


図 3-1 CMOS 集積回路用 Si 層と光回路用 Si 層を有する基板における欠陥の存在層による影響度の違い

バルク Si 基板の欠陥検査には、従来より X 線トポグラフィ法[71]が用いられており、X 線を用いて基板の透過イメージ像を撮影することにより基板内に存在する欠陥をその欠陥の存在する深さ情報を得ずに検出している。SOI 基板の欠陥評価には、紫外線光を照射してその反射光をモニターするという方法により、動作不良を引き起こす表面付近の欠陥を検出する方法が、近年用いられている[72]。この紫外線を用いる方法は、表面付近の欠陥の有無を検出することができるが、欠陥が存在する深さ方向の位置情報を得ることができない。したがって、CMOS 集積回路用 Si 層と光回路用 Si 層の 2 層が支持基板の上に存在する基板については、欠陥がどちらの Si 層に存在しているのかを判別することはできない。

本章においては、欠陥の位置を深さ方向に 30nm 程度の分解能で検出することがで

きる、蛍光顕微鏡を用いた欠陥検出法についての研究結果を述べる。はじめに、従来の蛍光顕微鏡を用いた欠陥検出法と、本研究の基礎となる Computational Photography 技術についての説明を行った後、提案した欠陥検出法を述べる。そして、 $1.00\mu\text{m}$  の段差を有する基板に蛍光ビーズを配置した試料に対して、提案した評価方法を適用することにより行った精度検証実験の結果を示す。また、この欠陥評価法の検出範囲を拡大するための方法、および欠陥評価以外の応用例について述べる。

### 3-2 蛍光顕微鏡を用いた従来の欠陥検査方法

Nevin、Higgs らは、蛍光顕微鏡を用いた SOI 基板の欠陥評価方法を報告している [73,74]。Nevin らは図 3-2 に示す蛍光顕微鏡光学系において、波長  $532\text{nm}$  の可視光域光源により Si 基板中の欠陥を励起し、欠陥が発光するフォトルミネッセンス光を  $827\text{nm}$  の波長域の透過フィルターを用いて検出している。励起波長・観察波長ともに Si 材料にとって不透明な波長帯域ではあるが、SOI 基板の表面から  $4\mu\text{m}$  程度の深さまでの欠陥の評価結果を示している [74]。

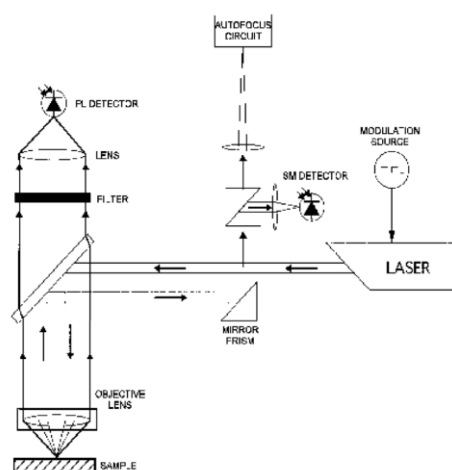


図 3-2 Nevin らの蛍光顕微鏡を用いた欠陥検査光学系  
励起波長  $532\text{nm}$ 、観察波長  $827\text{nm}$ [74]

蛍光顕微鏡を用いて欠陥の深さを特定する従来の方法を説明する。蛍光顕微鏡において観察される欠陥の像はフォーカス位置がその欠陥に合った場合に観察画像の輝

度が最大となるので、欠陥の深さ位置の特定にはフォーカスの深さ位置を変えながら観察し、その欠陥が発するルミネッセンス光の輝度情報を得る必要がある。そして図 3-3 に示すようにフォーカスの深さ位置に対するルミネッセンス光が最大輝度となる深さを求めることにより、欠陥の位置を特定することとなる。

欠陥の検査を自動にて行う場合には、各測定箇所において焦点を変えながら複数枚の写真撮影を行なった後、観察された輝点の座標と輝度を解析し欠陥位置の特定作業を行うこととなる。例えば  $0.1\mu\text{m}$  程度の精度で表面から  $2\mu\text{m}$  までの欠陥の情報を知りたい場合には、 $0.1\mu\text{m}$  ずつ焦点位置を動かしながら 20 枚の撮影を行うこととなる。欠陥検出性能を高めるためにレンズ開口数(NA)の高い対物レンズを用いることが必要となるが、NA の高いレンズは通常倍率が高いので視野が狭くなってしまうという欠点がある。例えば  $\times 40$ 、NA0.8 の対物レンズを用い、画像を記録するイメージング素子に画素サイズが  $6\mu\text{m}$  の  $36\text{mm} \times 24\text{mm}$  のフルサイズの撮像素子を用いた場合には、解像度は  $0.15\mu\text{m}/\text{pixel}$  となり視野は  $0.9\text{mm} \times 0.6\text{mm}$  になる。この撮影パラメータで直径  $300\text{mm}$  の Si 基板の各エリアにおいて 20 枚の撮影を行うと、基板 1 枚の評価に費やす画像のデータサイズは、画像を JPEG 圧縮した場合においても約 9TB に達することとなる。したがって、蛍光顕微鏡を用いた欠陥評価をすべての基板の出荷検査として行うためにはデータ容量を削減する方法が望まれることとなる。

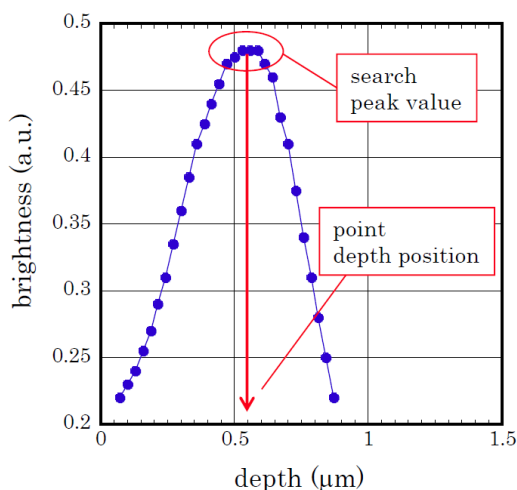


図 3-3 従来方法における蛍光の輝点深さの特定方法

蛍光顕微鏡を用いて被観察物の 3 次元画像を、焦点位置を動かすことなく 1 回の撮

影により取得する方法として、spatial light modulator を用いた方法[75,76]、cylindrical lens を用いた方法[77]、さらには quadratically distorted grating を用いた方法[78]などが存在する。しかし、これらの方法はいずれも深さ情報が増える代償として視野が狭くなるので、結果的に撮影回数およびデータ容量を少なくすることはできない。

### 3-3 Computational photography による deblurring 技術

蛍光顕微鏡の撮影枚数を削減するための手法として、ぼけた画像から焦点の合った画像を作製する技術である Computational photography による deblurring 技術について説明する。Computational photography による deblurring 技術の代表的な技術には、マイクロレンズアレイを撮影光学系に挿入することにより複数のフォーカス情報の画像を一度に撮影した後に焦点の合った画像を読み出す lightfield 方式[79]、複数のアパーチャーを高速で切り替えながら撮影を行うことにより高速移動する被写体のぼけた画像から焦点の合った画像を合成する coded aperture 方式[80]、撮影時にイメージャーを動かしながら撮影を行うことにより全面にぼけた画像が撮影されるがそのボケ情報を解析することにより合焦画像を復元する Extended depth 方式[81]などが存在する。

蛍光顕微鏡画像への応用を考慮すると、lightfield 方式には撮影される焦点面の数の増加の割合以上に解像度が劣化してしまうという欠点、coded aperture 方式には高速撮影が蛍光撮影という暗い画像に適さないという欠点がある。著者は、Extended depth 方式は、イメージャーを移動させる替りに試料ステージを移動させることにより蛍光顕微鏡光学系への適用が可能であると考えた。

Extended depth 方式のコンセプトは、どのようにぼかしたかが既知であれば、ぼけた画像を解析することにより合焦画像の復元ができるというものである。Nayar らは図 3-4 に示す光学系により、シャッター開放中にカメラ内の撮像素子を焦点方向に移動させる撮影を行なっている。図 3-5 にその撮影画像と処理画像を示す。図 3-5 (a)は撮影時に撮像素子を動かしながら撮影した画像であるため全面がボケた画像である。しかしそのボケた画像から、ボケの画像のイメージャー上の位置、ボケの状



態を解析することにより図 3 - 5 (b)に示す合焦画像を形成している。

Nayar らはこの方式により、通常の撮影では同時に合焦画像を得ることのできない近い位置に存在している観察対象と遠い位置に存在している観察対象が混在する観察対象においても、1回の撮影による合焦画像を得ることを可能にしている。すなわち、本来複数回数の撮影が必要な観察対象を1回の撮影により合焦画像を得ているので、extended depth 方式は撮影回数の低減方法の1つであることがわかる。

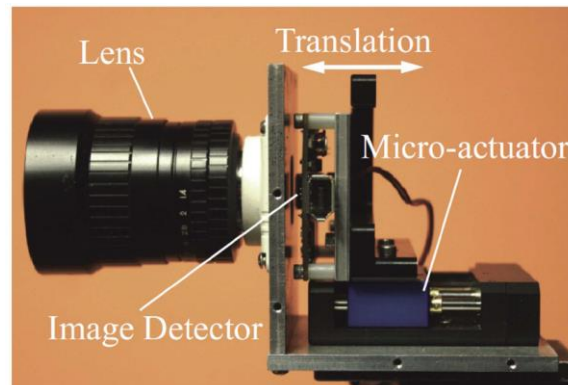
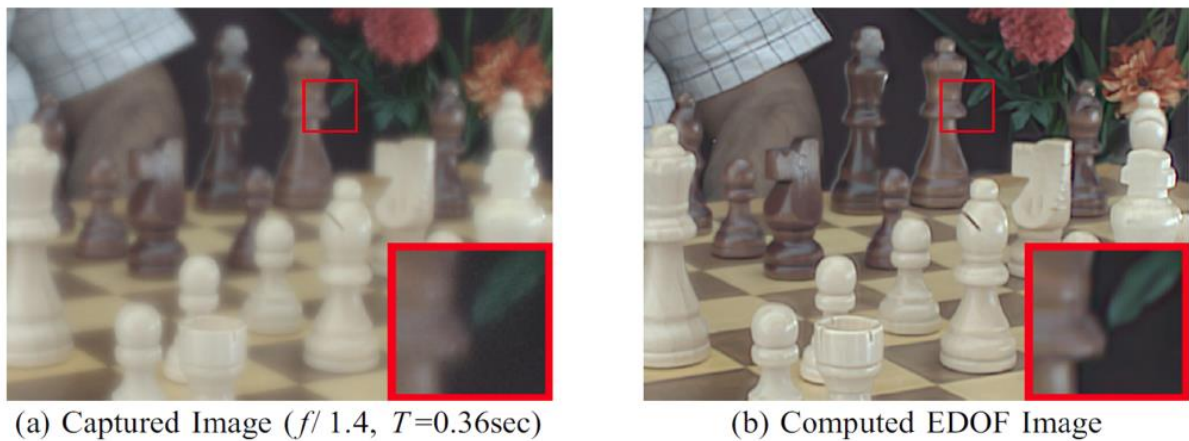


図 3 - 4 Nayar らによる extended depth 方式の撮影光学系[81]



(a) Captured Image ( $f/1.4$ ,  $T=0.36\text{sec}$ )

(b) Computed EDOF Image

図 3 - 5 Nayar らによる extended depth 方式による de-blurring 例[81]

(a)撮影された画像 (b)ボケ状態の分析により算出された全焦点画像

### 3-4 本研究の撮影方式

本研究の観察対象である欠陥の密度は、第2章での検討の結果から CMOS 集積回路用 Si 層において  $1.0 \times 10^4/\text{cm}^2$  以下程度、光回路用 Si 層において  $5.0 \times 10^7/\text{cm}^2$  以下程度である。24M ピクセルの画素を有するフルサイズ(36×24mm)の撮像素子と x40 の対物レンズを組み合わせると、視野サイズは  $0.9\text{mm} \times 0.6\text{mm}$  となるので、視野内の欠陥数は CMOS 集積回路用 Si 層・光回路用 Si 層で、それぞれ  $5.40 \times 10^1$  個および  $2.7 \times 10^5$  個となる。この数値はイメージャーの画素数である  $2.4 \times 10^7$  よりも 2 桁程度あるいはそれ以上少ないので観察対象は撮影された画像において密集していない。そのため蛍光撮影される欠陥像の周囲には他の情報を記録するスペースがある、と著者は考えた。すなわち、ボケ情報に欠陥の深さ情報を記録するためのスペースがあり、結果的に撮影枚数の削減ができるものと考えた。

図3-6に示す3次元撮影空間モデルを用いて、本研究の撮影方法の説明を行う。図3-6に示す撮影空間は、深さ方向の撮影範囲の開始位置( $z_{\text{start}}$ : 例えば基板表面)から、撮影終了位置( $z_{\text{end}}$ : 例えば基板表面からの深さ  $z_{\text{end}}$  の位置)までとして、その空間に A, B の2つの観察対象(marker)が存在しているものとする。A, B の深さ位置はそれぞれ  $z_A$ ,  $z_B$  であり、 $z_A$  は  $z_{\text{start}}$  と  $z_{\text{end}}$  の中間に位置しており、 $z_B$  は  $z_{\text{end}}$  に近い位置にある。

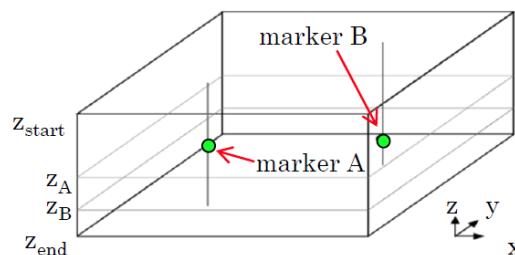


図3-6 本研究の撮影方法の説明に用いる3次元撮影空間モデル

本研究の撮影は、下記の2回の撮影工程により構成される。

第1の撮影におけるステージの動きを式3-1～3-3に示す。 $0 \leq t \leq t_{\text{ex}}$  の撮影時間中に、xyステージは時間  $t$  に依存せず静止しており、フォーカス面が  $z_{\text{start}}$  から  $z_{\text{end}}$  に等速で移動するように  $z$  ステージは移動する。

図3-7(a)に撮影中の marker A のイメージャー上での像の変化の様子を示し、図3-7(b)に記録されるイメージを示す。撮影開始時( $t=0$ )においては marker A の存在する位置にフォーカス面はないので、イメージャー上における marker A の像はぼけている。そして露光時間中に  $t=1/2t_{ex}$  となる時点においては、marker A の存在する位置がフォーカス面と一致するのでイメージャー上における marker A の像は合焦することとなる。すなわち、イメージャー上における marker A の像は、面積が最小で最も明るい像となる。また露光終了時の  $t=t_{ex}$  においては再び marker A の像はぼけることとなる。この撮影により記録される marker A, B の画像 (図3-7(b)) は、合焦像に比較してぼけることとなるが、露光中に  $x, y$  方向には移動していないので、 $xy$  面内における marker A, B の位置は認識できる。すなわち第1の撮影は、観察対象の  $xy$  位置を検出する工程である。

$$z(t) = z_{start} + (z_{end} - z_{start}) \frac{t}{t_{ex}} \quad (\text{式 3-1})$$

$$x = x_0 \quad (\text{式 3-2})$$

$$y = y_0 \quad (\text{式 3-3})$$

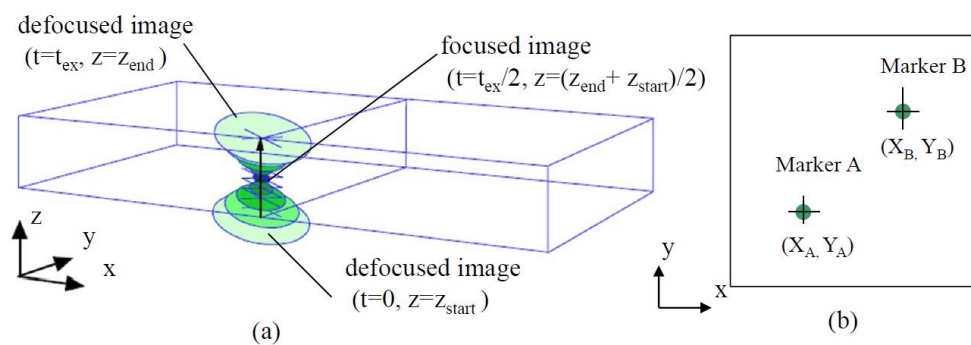


図3-7 本研究の1回目の撮影方法の説明

(a)撮影時における Marker A の像の時間変化説明 (b)記録される画像

第2の撮影におけるステージの動きを式3-4~3-6に示す。撮影中の  $z$  ステージは第1の撮影と同様にフォーカス面が  $z_{start}$  から  $z_{end}$  に等速で移動する動きであるが、 $xy$  ステージは時間  $t$  に連動して半径  $L$  の円周上を等角速度で移動することとなる。

図3-8(a)に撮影中の marker A のイメージャー上での像の変化の様子(a)および記録されるイメージを図3-8(b)に示す。撮影開始時( $t=0$ )においてはイメージャー上における marker A の像はぼけ、 $t=1/2 t_{ex}$ となる時点において marker A の像は合焦し、露光終了時の  $t=t_{ex}$  においては再び marker A の像はぼけることとなる。ここでは、 $z$  ステージの動きに連動して  $xy$  ステージが動いているので、ステージの移動半径  $L$  に撮影倍率  $M$  を乗じた半径でイメージャー上の像が移動することとなる。この露光工程により記録される marker A, B の像(図3-8(b))は、 $xy$  ステージの移動によるボケ情報が加わった画像が記録されることとなる。つまり記録される marker A, B の像は  $xy$  ステージの移動による円弧上のパターン上に、ボケ->合焦->ぼけという  $z$  ステージの移動によるボケ情報が加わって記録されることとなる。また式3-2、3-3と式3-5、3-6との比較によりこの円弧の中心は図3-7(b)における marker A, B の像が記録された位置であることがわかる。図3-8(b)において、円弧の中心位置からフォーカスが合った位置に line A, B を引くとその角度  $\theta$  が露光中の経過時間における焦点の合った時間を示す数値となる。ここで  $z$  ステージは露光中に等速に動いているのでこの時間は marker A, B の深さ位置を示す数値となる。すなわち第2の撮影は、観察対象の  $z$  位置を検出する工程である。

したがって、2回の撮影工程により記録された2枚の画像図3-7(b)、図3-8(b)を解析することにより、marker A, B の3次元空間での位置が求まることとなる。

$$z(t) = z_{\text{start}} + (z_{\text{end}} - z_{\text{start}}) \frac{t}{t_{\text{ex}}} \quad (\text{式3-4})$$

$$x(t) = x_0 + L \times \cos\left(\pi \frac{t}{t_{\text{ex}}}\right) \quad (\text{式3-5})$$

$$y(t) = y_0 + L \times \sin\left(\pi \frac{t}{t_{\text{ex}}}\right) \quad (\text{式3-6})$$

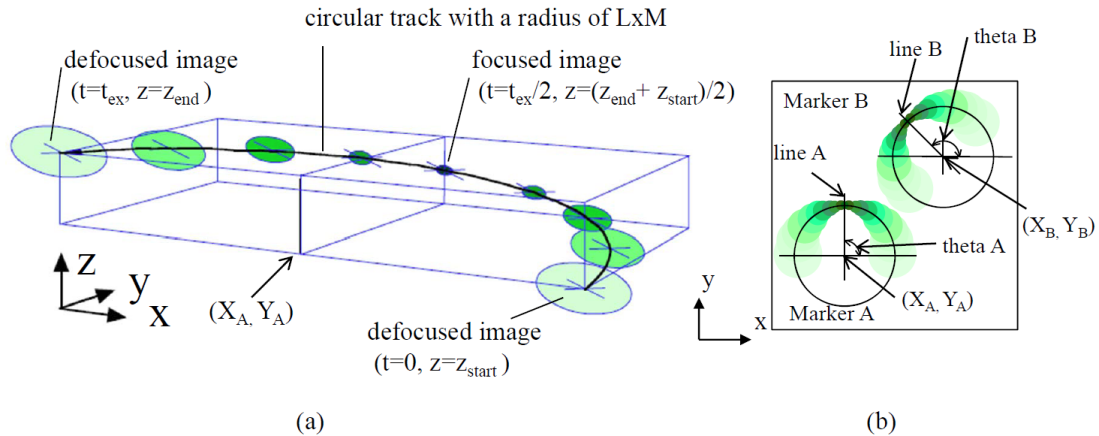


図 3-8 本研究の 2 回目の撮影方法の説明

(a)撮影時における Marker A の像の時間変化説明 (b)記録される画像

### 3-5 検証実験

欠陥の 3 次元位置を 2 回の撮影で検出する本研究の撮影方法の検証実験について述べる。

Nevin らは、波長 532nm の光をシリコン基板に照射して内部の欠陥が発する波長 827nm のルミネッセンス光をモニターする欠陥評価法を用いたが、本実験は本研究の撮影方法の精度検証を目的とするため、観察対象を欠陥とせず、径が一定である蛍光ビーズを用いた実験とした。

#### 3-5-1 実験装置と検証に用いた試料

図 3-9 に実験装置構成を示す。顕微鏡光学系には field of view タイプの蛍光顕微鏡(Carl Zeiss 社製 Axio Imager Z1)を用い、試料の xyz 移動を行うために顕微鏡の試料ステージ上に、xy ピエゾステージ(Physik Instrumente 社製 P-628K001)および z ピエゾステージ(Physik Instrumente 社製 P-622.ZCL)を配置した。xy ピエゾステージおよび z ピエゾステージの制御は、xy ステージコントローラ(Physik Instrumente 社製 E-710.4CL)および z ステージコントローラ (Physik Instrumente 社製 E-661CP)を用い、クローズドループでの制御を行なった。z ステージの目標位

置は、xy ステージコントローラと同期するファンクションジェネレータより与えられる構成とした。蛍光顕微鏡には、デジタル1眼レフカメラ(SONY 製 Alpha 900)を Zeiss 社製光学倍率 2.5x アダプターレンズを介して設置した。デジタル1眼レフカメラ Alpha 900 は、画素数 24.81 メガピクセル・画素サイズ 5.94 $\mu\text{m}$  の CMOS カラーイメージャーを有している。そしてデジタル1眼レフカメラ Alpha 900、xy ステージコントローラは PC より直接制御されている。

xy ステージコントローラには、x、y ステージの目標位置信号に 90 度の位相がずれた振幅 5 $\mu\text{m}$ ・周波数 0.2Hz のサイン関数を入力することにより、観察試料は半径 5 $\mu\text{m}$  の円軌道上を角速度 72deg/sec で移動させた。蛍光顕微鏡には、20 倍対物レンズ (Plan-APOCHROMAT 20x/0.8, Carl Zeiss)を用いた。イメージセンサーの面積が 36.2 mm $\times$ 24.1 mm であり、2.5 倍のアダプターレンズを用いているので、20 倍の対物レンズを用いた場合の観察視野は 724  $\mu\text{m}$  $\times$ 482  $\mu\text{m}$  となる。また本研究においては撮影中に半径 5 $\mu\text{m}$  の円弧運動をすることにより、撮影可能エリアは本来の観察視野より狭まり 714  $\mu\text{m}$  $\times$ 472  $\mu\text{m}$  となる。

z ステージの移動速度を 3 $\mu\text{m}/\text{sec}$  とし、露光時間を 4sec とすることにより、露光中のフォーカススキャン範囲は 12 $\mu\text{m}$  となった。ステージの位置決め精度は xyz の各軸ともに 10nm の仕様となっているが、オシロスコープによる z ステージ位置のモニターから z ステージの位置決め精度は約 200kHz 程度の振動の存在により約 50nm 程度となっている。

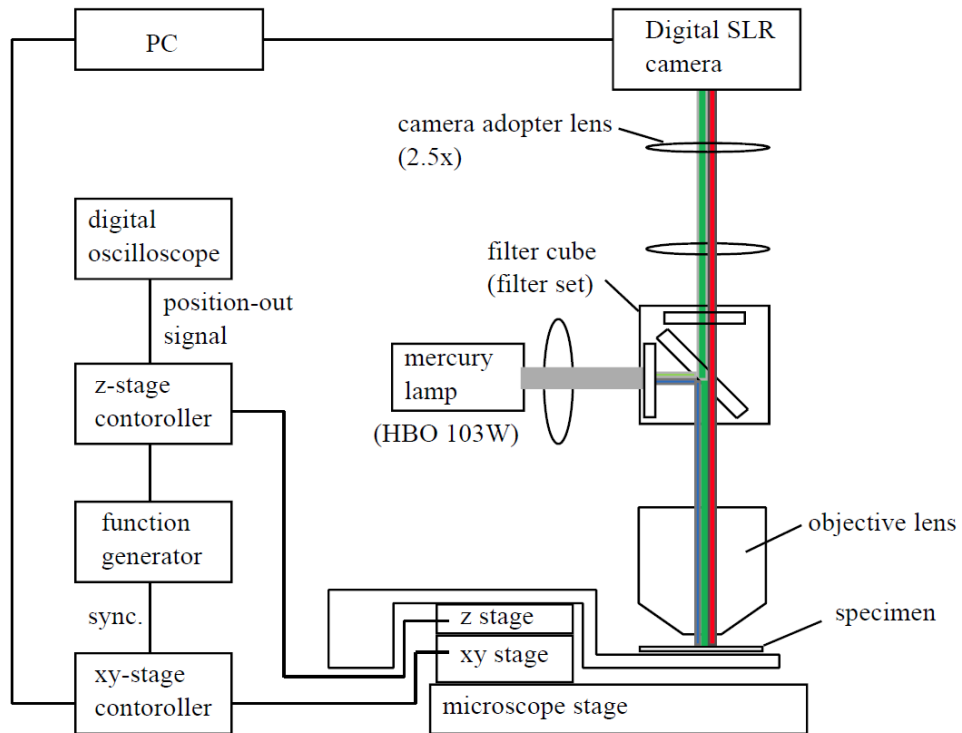


図 3 - 9 実験装置図

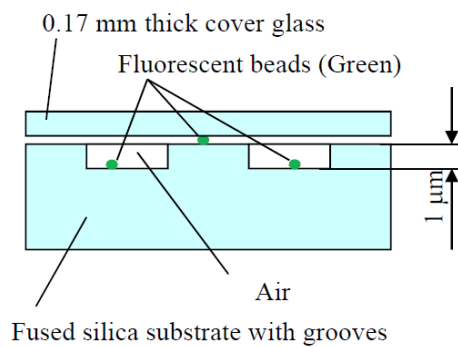


図 3 - 1 0 検証に用いた試料の構造説明図

図 3 - 1 0 に検証に用いた試料の構成図を示す。試料は、リアクティブイオンエッチング法による溝が形成された熔融石英基板の溝の底部および上部に  $0.3\mu\text{m}$  径で緑色を発色する蛍光ビーズ(Thermo Fisher Scientific 社製 Fluoro-max G300)をランダムに配置させた後、 $0.17\text{mm}$  のカバーガラスで覆った形状である。カバーガラスは顕微鏡の対物レンズが  $0.17\text{mm}$  のカバーガラスを用いることとして収差設計がなされ

ているので配置する必要がある。溝の深さは表面プロファイルメータ(KLA Tencor 社製 P10)により測定した結果、 $1.00\mu\text{m}$ であった。

### 3-5-2 実験結果と深さ検出結果

図3-11に本研究の撮影方法により取得した画像を示す。これらの写真は、蛍光顕微鏡に透過波長 $525\text{nm}$ の蛍光フィルターセット(Carl Zeiss社製No.38)を用いて撮影した画像であり、図3-11(a)、(b)はそれぞれ、上述した2つの露光工程である、 $xy$ 位置の検出工程および $z$ 位置の検出工程に対応する。なお図3-11(b)中の矢印は、 $z$ ステージを対物レンズに近づける方向を示している。図3-11(a)に示す写真から、蛍光マーカーの $xy$ 面内での位置を特定するのに十分な画像コントラストを有していることがわかる。

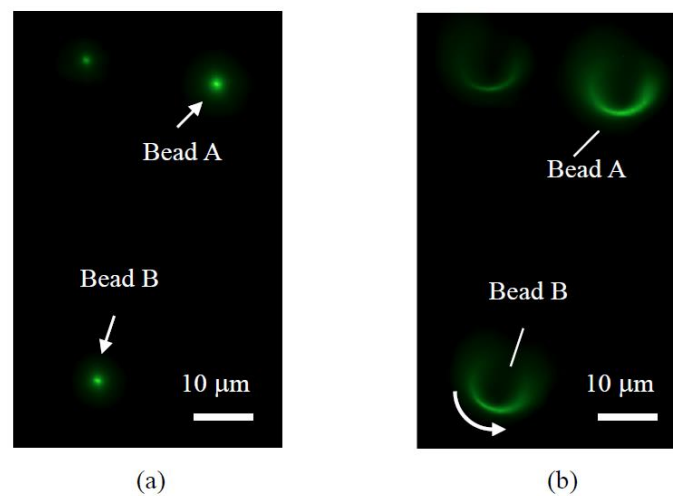


図3-11 検証実験画像

(a)第1の撮影工程による $xy$ 位置検出画像

(b)第2の撮影工程による $z$ 位置検出画像



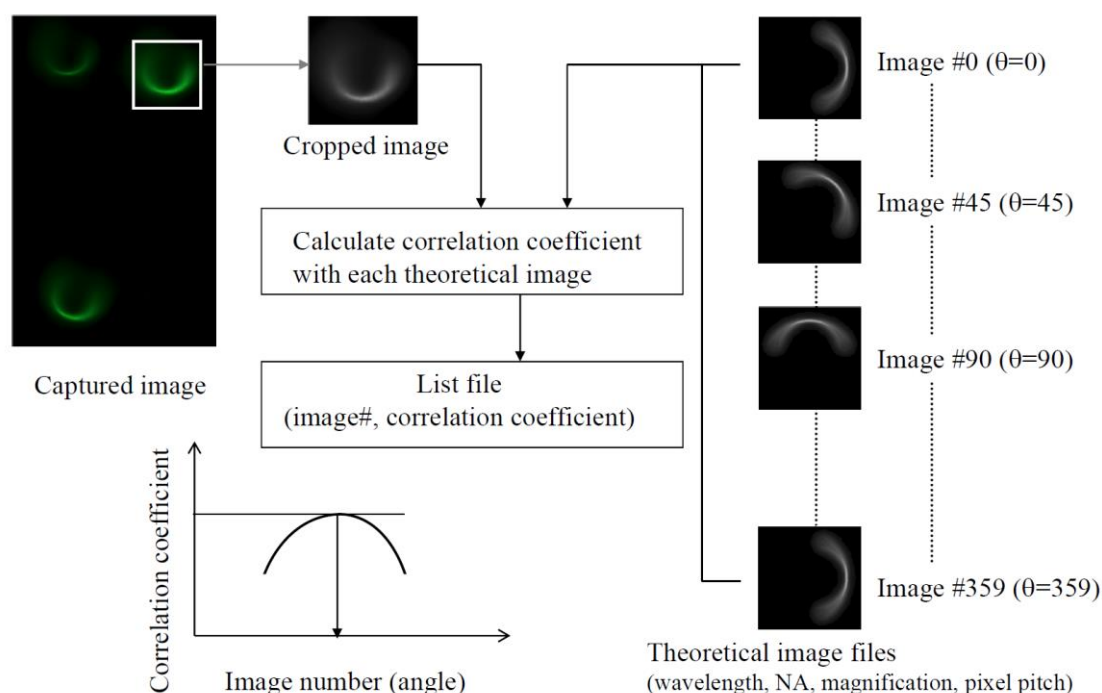


図 3 - 1 2 z 位置の検出方法

図 3 - 1 2 に、図 3 - 1 1 (b) に示した画像から、画像マッチングによりマーカーの  $z$  位置を検出する方法を示す。まずマッチングを行う対象となるイメージとして、検出光学系の光学パラメータ、波長情報、光学ステージの移動情報よりフーリエ光学[82]を用いて理論イメージを準備する。そしてこの理論イメージを 1 度ずつ回転させた 360 枚のイメージ群(イメージ番号 0~359)を作成し画像マッチング対象画像群を作成する。検証実験に画像マッチング対象画像群を図 3 - 1 2 の右側に示すが、これらの画像はフォーカス位置が  $-3\mu\text{m}$  から  $+3\mu\text{m}$  の範囲であるとして計算を行ったものである。つぎに実験から得られた画像と、これら画像マッチング対象画像群との相関を計算し、最も相関が高い理論イメージの角度からボケ画像の角度を求める。そしてボケ画像の角度情報を、ステージ移動パラメータから深さ位置情報に変換することにより観察対象の深さの数値が求められることとなる。

図 3 - 1 3 に、図 3 - 1 1 (b) のマーカー A, B のボケ画像に位置検出を行なった結果を示す。グラフ縦軸は、マーカー A, B の画像と画像マッチング対象画像群の画像との規格化した相関値であり、グラフ横軸は画像マッチング対象画像の角度を示す番号である。このグラフからマーカー A, B の間には 25 度の違いがあることがわかった。撮影時の  $z$  ステージの移動速度が  $3\mu\text{m}/\text{sec}$  であり、 $xy$  ステージの角速度が  $72\text{deg}/\text{sec}$

であることから、この 25 度は  $1.04\mu\text{m}$  の高さの違いに相当し、実際の  $1.00\mu\text{m}$  にほぼ一致する結果が得られた。さらにステージの移動方向の情報から、蛍光ビーズ B は蛍光ビーズ A に比べて対物レンズに近い側に存在する、すなわちビーズ A が溝の中に存在するという情報も取得することができている。

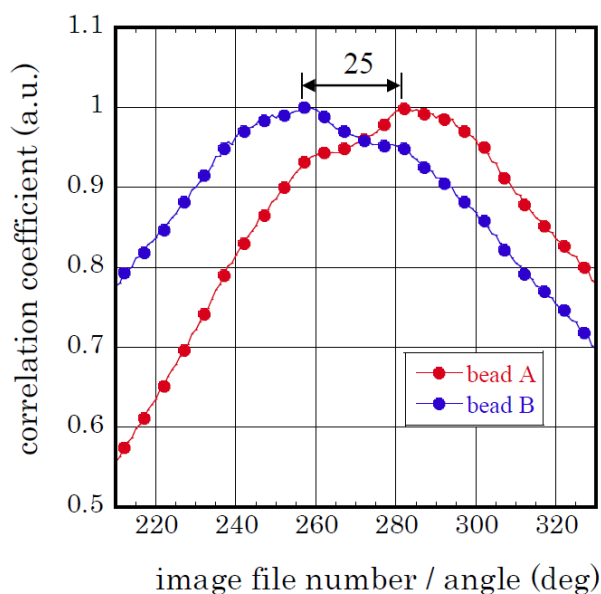


図 3 - 1 3 z 位置の特定結果

1 度きざみの画像マッチング対象画像群との比較は、深さ位置に変換すると約  $0.04\mu\text{m}$  の間隔に相当するので、この本研究の位置検出は  $0.1\mu\text{m}$  以下の精度を有している。したがって本研究で開発した手法は、2 回の撮影でありながら、光学系の焦点深度の  $1/10$  以下の検出精度を有する深さ位置検出方法であることがわかる。比較を行う理論イメージに  $-3\mu\text{m}$  から  $+3\mu\text{m}$  の範囲のボケ画像を用いていることから、観察範囲の上下端から  $3\mu\text{m}$  以内の範囲はイメージのマッチング精度が少々劣ることとなるが、 $12\mu\text{m}$  スキャン範囲のうちその中心部  $6\mu\text{m}$  は、 $0.1\mu\text{m}$  以下の十分な検出精度を有していることとなる。 $0.1\mu\text{m}$  ごとに  $6\mu\text{m}$  の検出範囲のイメージを撮影する場合には 61 回の撮影を行わなければならないので、本研究のマーカー位置の検出方法は極めて効率的であることがわかる。

観察対象が  $n=3.5$  のシリコン材料中に存在している場合の検出精度および検出範

囲は、 $0.1\mu\text{m}$  を  $3.5$  で割った値である約  $30\text{nm}$  以下の検出精度を、 $1.7\mu\text{m}$  以上の検出範囲で有することとなるので、本研究は図 3 - 1 に示す欠陥検出が必要な範囲を十分にカバーする性能を有していることとなる。

またこの節に示した蛍光ビーズを用いた検証実験は、蛍光ビーズがまばらに配置された試料を用いて行ったが、取得蛍光画像に重なりがある場合の輝点位置検出方法について図 3 - 1 4 を用いて述べる。

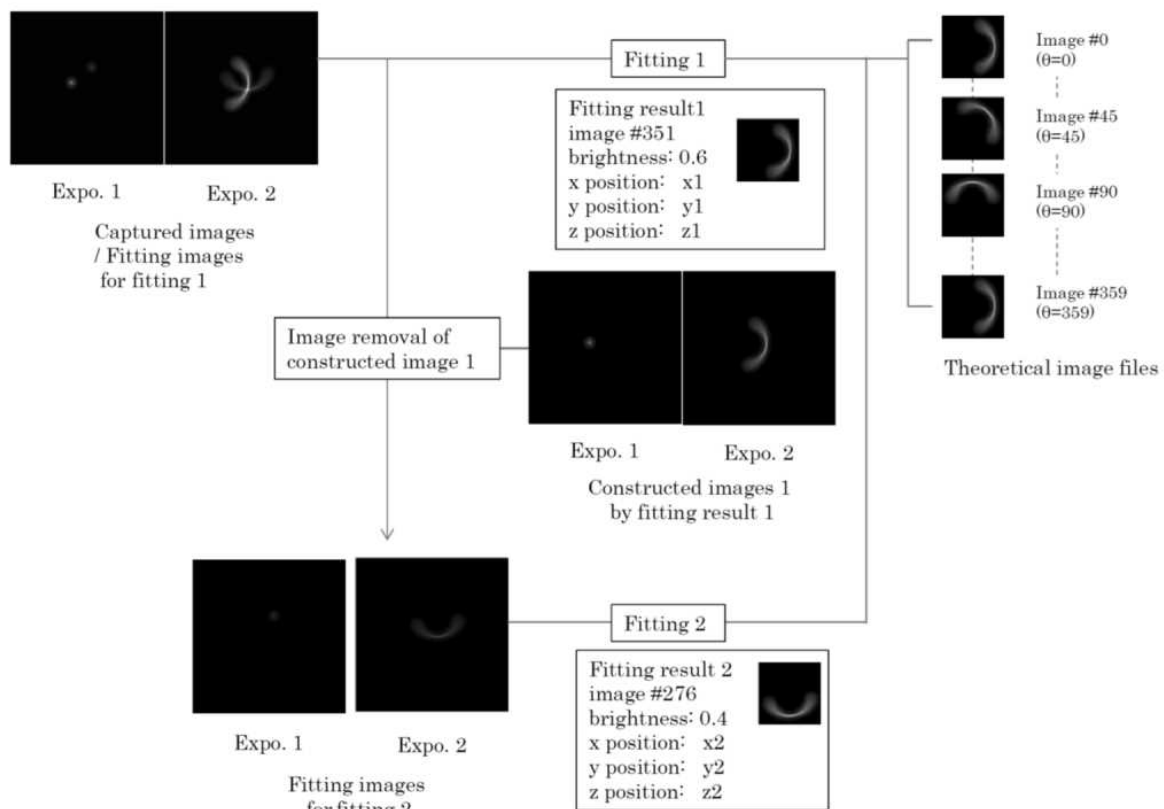


図 3 - 1 4 2つの輝点が近接している場合の輝点位置検出アルゴリズム

図 3 - 1 4 に示すアルゴリズムは、2つの輝点が近接していることにより取得された画像に重なりがある場合の例を示している。まず図 3 - 1 2 に示したプロセスと同様に、マッチングを行う対象となるイメージとして、検出光学系の光学パラメータ、波長情報、光学ステージの移動情報より理論イメージを準備しておく。実験により取得した画像と理論イメージとの最初のフィッティング(Fitting 1)を行い、輝点の3次元位置データと明るさの結果を得た後、そのフィッティング結果に基づき作成したイメ

ージ(constructed images 1 by fitting result 1)を得る。そしてフィッティング結果に基づき作成したイメージを実験により得られたイメージから差し引いた画像(Fitting images for fitting 2)を生成する。2 番目のフィッティング(Fitting 2)は、この最初のフィッティング結果に基づき生成したイメージを実験により得られたイメージから差し引いた画像と理論イメージとのフィッティングを行い、第 2 の輝点の 3 次元位置データと明るさの結果を得る。

図 3-14 に示したアルゴリズムにおいては、2 つの輝点が近接している場合の例を示したが、上述したようにフィッティング結果から合成した画像をフィッティングを行った画像から差し引くことにより、次のフィッティングを行う画像を作成することは 3 つ以上の輝点が存在する場合にも適用は可能である。すなわち、輝点の数に制限なく、フィッティングを行う画像から輝点の像がなくなるまで、フィッティングを行うことができる。

図 3-14 には 2 つの独立した点形状の輝点を対象にした例を示したが、このアルゴリズムにおいては、輝点が点形状ではなく線状の形状であっても、点が線状に集まったフィッティング結果を得ることとなり、実質的に線状あるいは面状の形状の輝点にも対応している。すなわち、シリコン基板の欠陥として点欠陥である格子欠陥だけでなく、線あるいは面の形状を有する貫通転位などの欠陥の検出にも有効である。

### 3-6 検出適用範囲と範囲拡大方法

本研究は対物レンズを焦点方向に移動させながら撮影を行う方法であるので、図 3-15 に示すように撮影中に観察対象のカバーガラス厚が変化する。Si の屈折率は 3.5 と大きいので、わずかな厚さ変化であっても球面収差に与える影響は無視できない。そこで本節では、撮影中に変化する球面収差から本研究の撮影方法の適用範囲を求めるとともに、検出範囲の拡大方法について述べる。

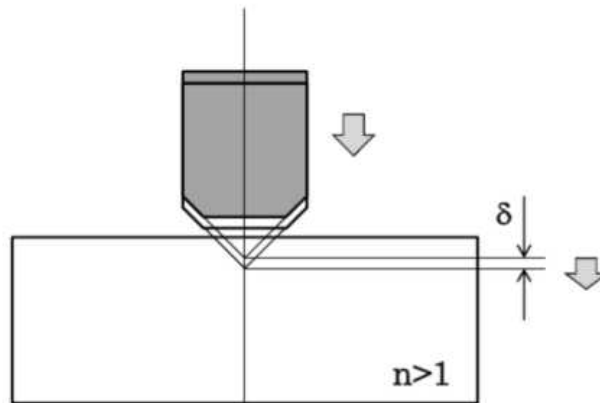


図 3-15 本研究の撮影時における対物レンズの移動の説明図

### 3-6-1 検出適用範囲の算出

製造時の誤差あるいは使用環境の変化により光学系の劣化が生じている場合には、その理論的な波面からのずれ量を示す評価値に、球面収差やコマ収差などの各収差成分の数値を個々に用いるよりも、結像性能を示す数値である rms 値を用いることが多い[83,84]。カバーガラス厚の違いによって生じる球面収差が光学系の結像性能に与える影響は、光ディスク業界で多くの議論がなされており、システムに許容される収差の値は、山本らによる  $0.08 \lambda \text{ rms}$ [83]、および市村らによる  $0.06 \lambda \text{ rms}$ [84]が提示されている。本節では  $0.06 \lambda \text{ rms}$  という数値を採用し、本研究の撮影方法の適用検出範囲を求めることとする。

市村らは、NA:0.85・波長 $\lambda$ :405nm の Bluray 光ディスク光学系において、許容収差の上限値である  $0.06 \text{ rms}$  に達するカバーガラス厚の誤差量は  $5 \mu\text{m}$  ( $n=1.5$ )であったとしている。カバーガラスの誤差により生じる球面収差は、波長 $\lambda$ の1乗に反比例し NA の4乗に比例する特性を有しているため[85]、Nevin らの欠陥観察実験[74]の波長 $\lambda$ :827nm および対物レンズの NA:0.8 という数値を用いて本研究の場合に換算すると、 $n=3.5$  の Si 中での許容厚さの誤差は  $5.58 \mu\text{m}$  となる。すなわち、球面収差の設計値が  $0 \mu\text{m}$  として設計された NA:0.8 の対物レンズを用いた場合には、Si 材料の表面から  $5.58 \mu\text{m}$  の深さまでが球面収差の影響による光学性能の劣化が問題とならない観察範囲になる。

しかしカバーガラス誤差に起因する球面収差はNAの4乗に比例するという特性から、対物レンズのNAを高めると急激に観察範囲は狭まり、NA1.2の対物レンズを用いた場合には、その範囲は $1.06\mu\text{m}$ となってしまう。したがって、NA1.2程度の対物レンズを用いて欠陥をより明るい画像で評価したい場合などには、観察範囲は余裕がなくなり観察範囲の拡大機構が必要となる。

### 3-6-2 液晶デバイスによる球面収差マージン拡大

球面収差を補正する方法として液晶デバイスを用いて、カバーガラス厚の許容範囲を拡大させる手法がある[86,87]。Ohtakiらのデバイス構成[87]を図3-16に示す。このデバイスは、ネマチック液晶の屈折率が電圧を印加することにより変化する現象を用いたものである。同心円状に3重構造の電極パターンを有しており、その電極に適切な電圧を印加することにより、3値のレベルに近似した球面収差に対応する屈折率分布が得られる。図3-17にこの液晶デバイスを透過する光の位相変化の概略図を示す。この液晶デバイスは、機械的には平行な形状であるので、透過する光の進行方向は変化しないが、透過する光束の波面には、液晶材料の屈折率分布に対応した位相変化が与えられる。そこでカバー厚の違いにより発生する収差を打ち消すような位相変化を対物レンズに入射する光束に与えておくことにより、焦点位置における収差を打ち消すことができる原理となっている。

球面収差補正機能を有する液晶デバイスを用い、カバーガラス厚の許容範囲を拡大させる原理を述べる。図3-18(a)は球面収差補正デバイスのない場合のカバーガラスの厚さとその許容範囲の関係を示している。カバーガラス厚 $t_{cg}$ に合うように設計された光学レンズを用いた場合に、表面からの深さが $t_{cg}$ の位置に収差なく合焦することを示している。またその際に、光学的に問題となる収差を発生させることなく合焦することができる深さの許容範囲を $t_{margin}$ として示している。カバーガラスの厚さが設計中心値からずれることにより発生する球面収差は、カバーガラスの厚さ誤差とともに増加し、 $NA=0.85$ 、 $\lambda=405\text{nm}$ の光学系においては約 $5\mu\text{m}$ のカバーガラス( $n=1.5$ )の厚さ誤差で球面収差は $0.06\lambda\text{ rms}$ というクライテリアに達することとなるので、 $t_{margin}$ は、 $10\mu\text{m}$ となる。図3-18(b)は、このレンズを(a)に示す位置から試

料側に近づけ許容範囲外の深さ位置に結像させようとしている図であり、 $t_{cg}$  の位置からの違いにより発生した許容できない球面収差により焦点があっていない図を示している。図3-18(c)は、球面収差補正液晶デバイスを用いて、光学レンズに入射する光に、 $t_{cg}$  の位置からの違いにより発生する球面収差を打ち消すような波面を光学レンズに与えることにより、表面からの深さが  $t_{cg} + t_{LCD}$  位置に収差なく合焦することを示している。ここで図示する状態が、球面収差補正液晶デバイスが発生することができる最大の球面収差を発生させている状態であるとする、 $t_{cg} + t_{LCD}$  が合焦することのできる最も深い位置となる。NA:0.85,  $\lambda$ :405nm の場合には  $2.8\lambda$  の3次の球面収差(SA3)を発生する球面収差補正液晶デバイスを用いることにより、 $t_{LCD} = 25\mu\text{m}$  のカバーガラス( $n=1.5$ )の厚さ変化に対応することができる[86]。この球面収差補正液晶デバイスを持ち合わせた光学系の許容範囲は、従来の許容範囲  $t_{margin}$  に  $t_{LCD}$  を加えた範囲となるので、結果的に許容範囲は  $35\mu\text{m}$  に拡大される。この液晶収差補正デバイスは機械的駆動部がないので、数 msec 単位での応答速度での収差補正が可能である。

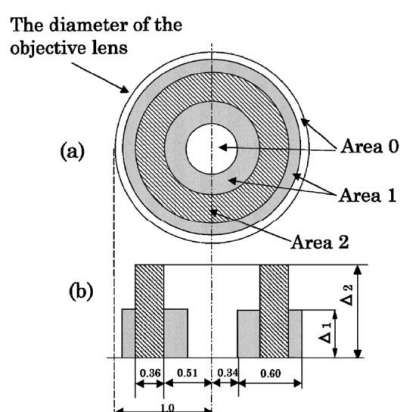


図3-16  
Ohtaki らのデバイス[87]

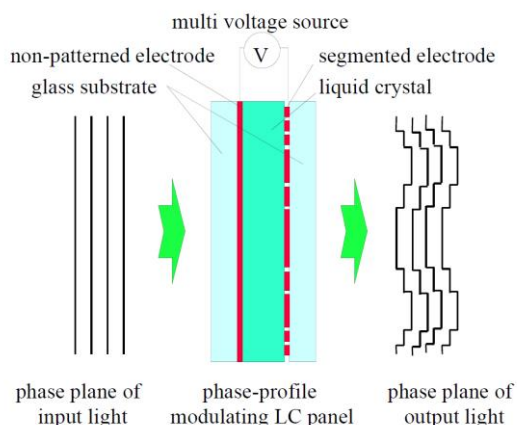


図3-17  
液晶収差補正デバイスを透過する  
光の位相説明

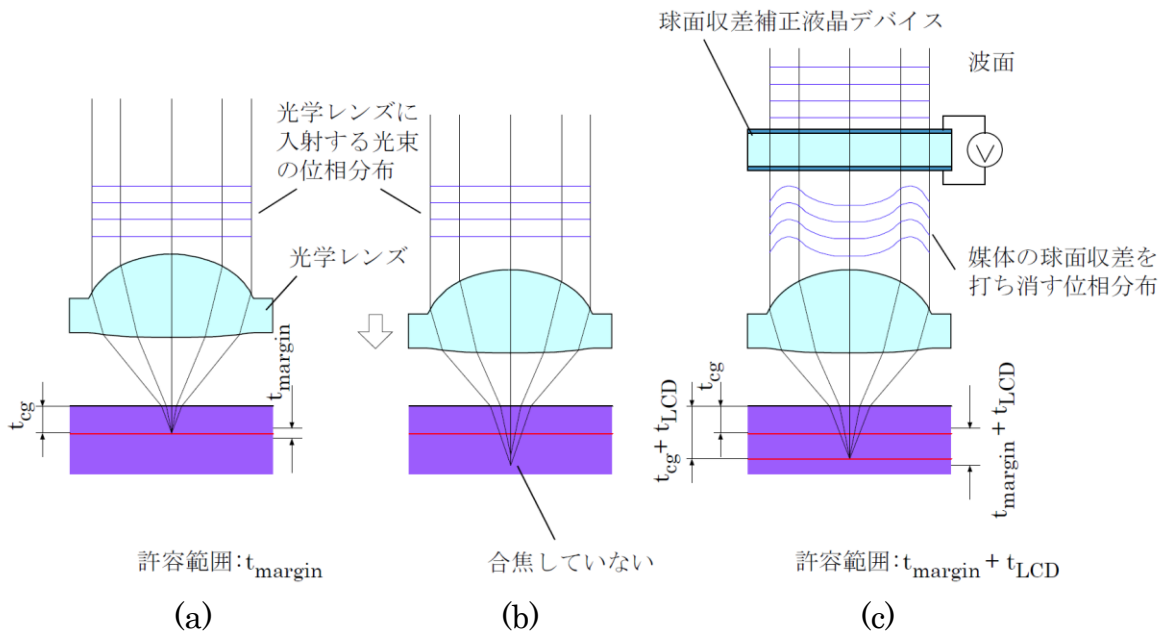


図 3-18 球面収差補正デバイスの採用によるカバーガラス厚許容範囲拡大

- (a) 光学レンズの設計カバーガラス厚位置に結像している場合の許容範囲  
(収差補正デバイスを用いない場合)
- (b) 許容範囲外の深さ位置に結像させようとしている図。
- (c) 収差補正デバイスを採用した場合の拡大された適用範囲

### 3-6-3 本提案の収差補正液晶デバイス

図 3-16 に示した従来の液晶収差補正デバイスは、3 値の近似による電極パターンを用いているので、発生収差量が大きくなると、近似値と理想値との誤差が拡大することによる収差が大きくなってきてしまうという欠点がある。また、電極間の急激な屈折率変化による回折光が多くなるという欠点がある。そこで著者は液晶材料の屈折率分布が連続的に変化する収差補正液晶デバイスを提案し、これが本研究の収差補正に有効であることを検証した。

図 3-19 に従来の収差補正液晶パネルと提案する液晶収差パネルの電極構造の違いを説明する。(a) に示す従来の液晶デバイスは、電極パターンの幅が 1mm 程度あるいはそれ以上の幅となっており、十分に大きな電極面積を有している。したがって、液晶分子は電極に印加する電圧に応じて屈折率が変化し、電極パターンに応じた屈折率分布となる。(b) に示す提案デバイスの電極構造は、液晶デバイスが応答する電極



パターンよりも小さいパターンを有しており、実際に電極パターンに印加されている電圧に応じた屈折率変化ではなく、平均化された屈折率変化を期待するデバイスである。

図3-20にこの原理を用いた液晶収差補正デバイスの構成図を記す。図3-20(a)に記すように電極に微細な空孔（電極パターンが形成されていない微小空孔: microdot)を形成し、この空孔の密度を変調することにより液晶材料の屈折率分布を密度に応じた屈折率分布とするものである。すなわち、microdotの密度が多いエリアは、microdotの密度が低いエリアに比較して液晶材料に印加される電圧の平均値が低くなり、低い電圧を印加したエリアと同等になるように作用するものである。したがって(b)に示すように、デバイスに印加する電圧は単一電圧であっても、空孔密度の変調状態に応じた位相分布を透過する光に与えるデバイスである。空孔の密度を連続的に変化させることにより連続的な位相変化が得られるデバイスである。

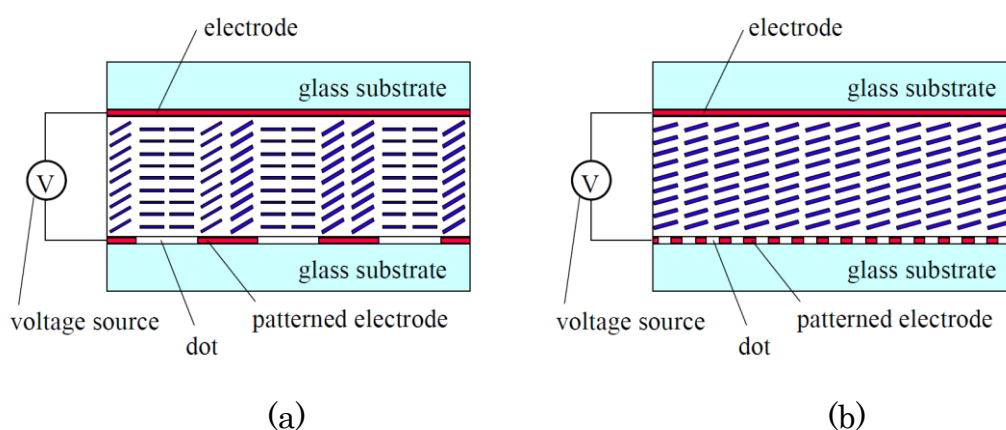


図3-19 従来の収差補正液晶パネルと提案の液晶パネルの電極構造の違い

- (a) 電極パターンが大きい場合の液晶分子の動き(従来例)
- (b) 電極パターンが微細な場合の液晶分子の動き(本研究)

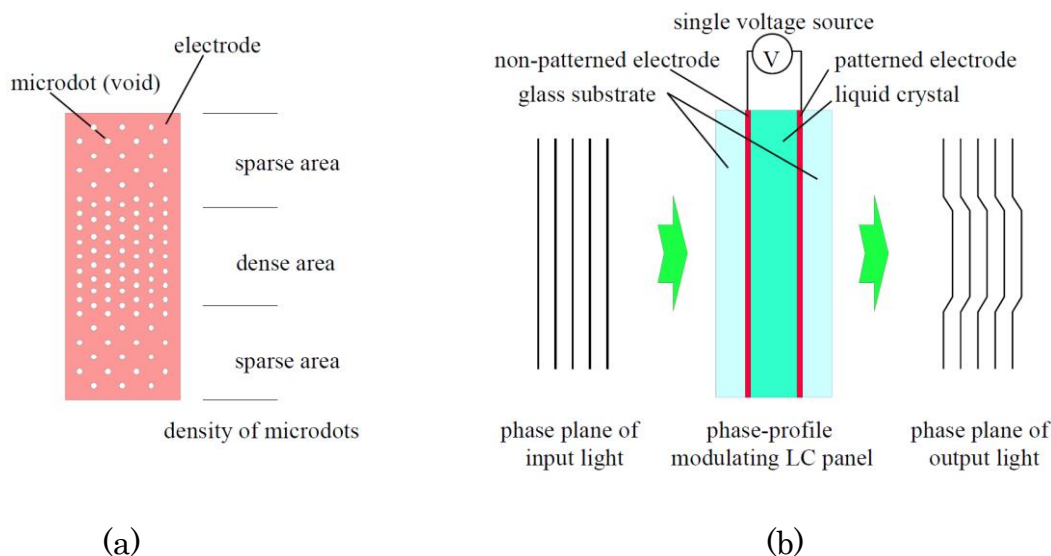


図 3-20 提案の液晶収差補正パネルの構造と動作の説明

- (a) 電極面に密度の異なる微小空孔(microdot)が形成されている。
- (b) 微小空孔の密度変化に対応した液晶デバイスを透過する光の位相プロファイル

#### 3-6-4 本提案の収差補正液晶デバイス原理検証実験

液晶位相補正デバイスの原理検証実験を行なったデバイス形状を図 3-21 に示す。

0.25mm 厚の研磨処理仕上げされたガラス基材上に、8nm 厚の ITO 透明電極膜を配置し、この電極材料に  $\phi 3\mu\text{m}$ 、 $\phi 6\mu\text{m}$ 、 $\phi 12\mu\text{m}$  の径の空孔を形成した。また液晶材料の方向を揃える配向膜にはポリイミドを主成分とした膜を用いた。液晶材料層の厚みは  $6\mu\text{m}$  とした。本節のデバイス原理検証実験においては回折光を詳細に測定するために、可視光域で比較的短波長な波長  $405\text{nm}$  の青色レーザー光を用いた。他の文献[86,87]と同様に、液晶デバイスに印加する電圧は、図 3-21 に示すように、周波数  $5\text{kHz}$ ・平均電圧  $0\text{V}$  の矩形波を用いプラスの振幅電圧を代表電圧とした。

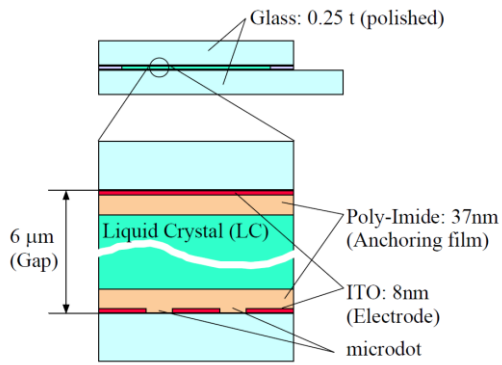


図 3 - 2 1

検討に用いた液晶収差補正デバイスの構造

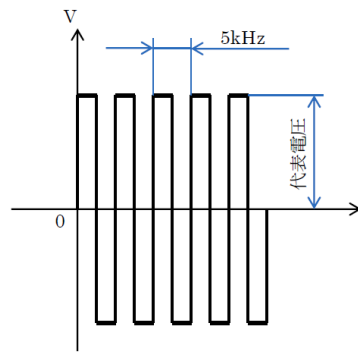


図 3 - 2 2

液晶デバイスへの電圧印加波形

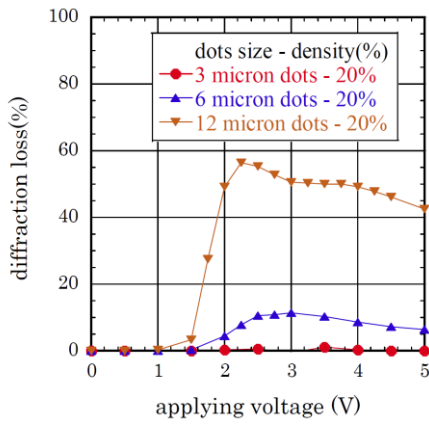


図 3 - 2 3

回折光測定の結果

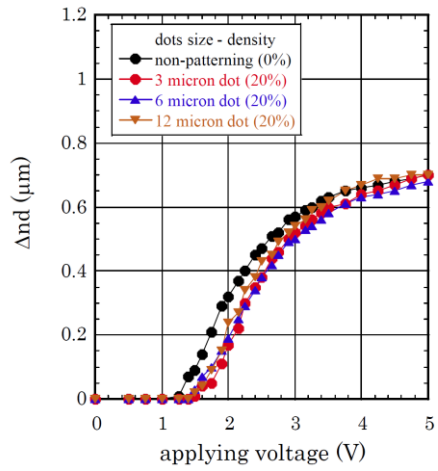


図 3 - 2 4

位相変化量の測定結果

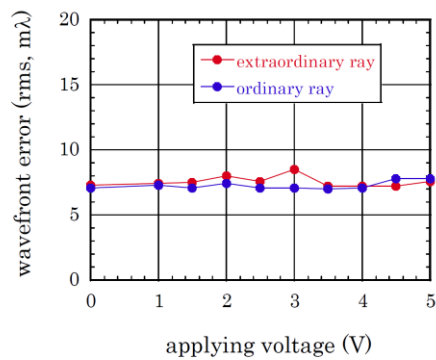


図 3 - 2 5 透過光の波面収差(wavefront error)測定結果

本デバイスのコンセプトは、液晶材料が応答しない程度の微細な空孔が電極に配置されていることであるので、3種類の径の空孔が形成された電極パターンを有する液晶デバイスに電圧を印加した場合のパネルの回折特性を測定した。回折光量の測定は、液晶パネルに $\phi 3\text{mm}$ の平行レーザ光( $\lambda=405\text{nm}$ )を入射しその透過光を焦点距離: $f = 50\text{mm}$ のレンズにて集光した後、回折した光はピンホールを透過しないように $\phi 0.2\text{mm}$ のピンホールを集光位置に配置して、ピンホールを透過した光をパワーメータにて測定した。図3-23に各径の微小空孔が20%の面積比で形成された電極パターンを有する液晶パネルに電圧を印加した場合の回折光量の測定結果を示す。この結果より微小空孔が $\phi 3\mu\text{m}$ の液晶パネルは回折光が生じないが、 $\phi 6\mu\text{m}$ の径と $\phi 12\mu\text{m}$ の径の微小空孔が形成された液晶パネルは回折光が発生していることがわかった。微小空孔の配置は、電極の20%の面積比となるように配置しているため、微小空孔が $\phi 3\mu\text{m}$ の液晶パネルは他のパラメータと比較して微小空孔の数は最も多いにも関わらず回折光を生じさせないことがわかった。

回折光量測定実験と同一の液晶パネルを用い、透過光の位相変化特性を図3-24に示す。図3-24に示した結果は液晶デバイスを透過する光の位相を、位相板を用いて測定する方法[88]により測定したものである。この結果より面積比20%で微小空孔を形成した液晶パネルの位相変化は、いずれも微小空孔パターンのない電極を有する液晶パネルと比較して、少なくなっていることが確認された。すなわち、電極への微小空孔の形成により液晶材料に印加される電圧が実効的に小さくなっていることを示している。

$\phi 3\mu\text{m}$ の微小空孔が均一に20%の密度で配置された液晶デバイスの透過波面収差のrms値を、波長 $\lambda=405\text{nm}$ の光源を有するZygo社の干渉計DVD-400を用いて測定した。図3-25に示した結果から液晶材料に屈折率変化が生じる電圧範囲においても、透過波面収差は $0.009\lambda$  rms以下という優れた数値であり、この液晶デバイスを光学系に挿入しても波面の劣化は無いことを示している。この図3-23~25より、微小空孔が $\phi 3\mu\text{m}$ の液晶パネルは回折光を生じることなく、また透過波面を劣化させることもなく、液晶材料の屈折率が一様に変化することがわかる。さらに、その屈折率変化は微小空孔のない電極を用いた液晶パネルよりも少なく、結果として小さい位相変化が得られた。すなわち、 $\phi 3\mu\text{m}$ の径の微小空孔を用いることにより図3-20に示す本提案の収差補正デバイスが作成可能であることが示される。

### 3-6-5 球面収差補正確認用液晶デバイスの作製と検証

球面収差プロファイルの発生を検証するため、図3-26に示すように $\phi 3\mu\text{m}$ の微小空孔の面積比率を3%から76%まで同心円状に16段階に変調した液晶パネルを作製した。図3-27に、2.00V, 2.25V, 2.75V, 3.25Vの電圧を電極間に印加した場合の液晶パネルの透過波面の位相プロファイルを、 $\lambda=405\text{nm}$ の光源を有するZygo社の干渉計DVD-400を用いて測定した結果を示す。図3-28に発生した球面収差の位相量分布の測定結果を示す。この結果から電極間に印加する電圧は一定でありながらも、 $\phi 3\mu\text{m}$ の微小空孔の配置密度を変化させることにより、配置密度に対応した位相変化が得られることが確認され、3.0Vを電極に印加した際に球面収差が $1.5\lambda$  (@405nm)に達することがわかった。

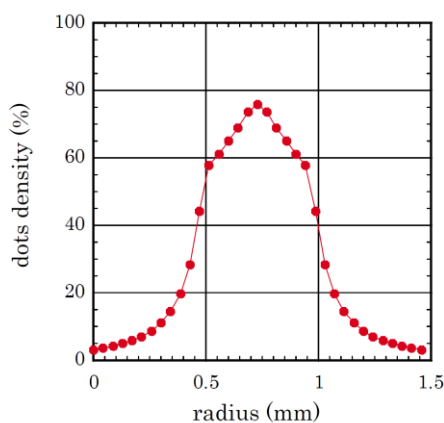


図3-26 微小空孔の配置密度

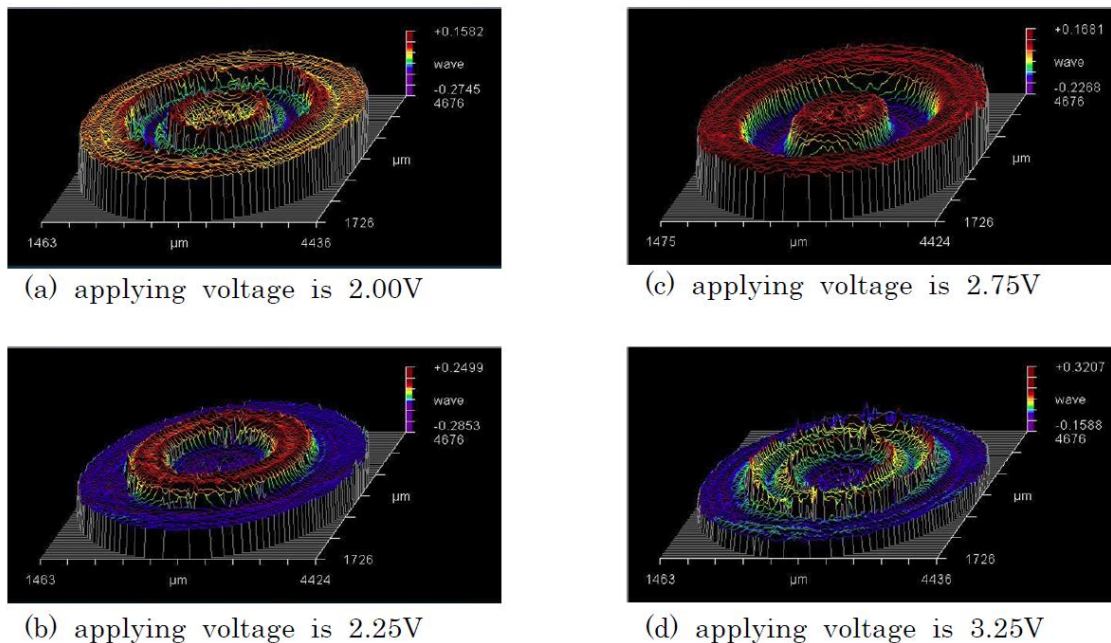


図 3 - 2 7 位相補正デバイスが発生させる位相変化の様子

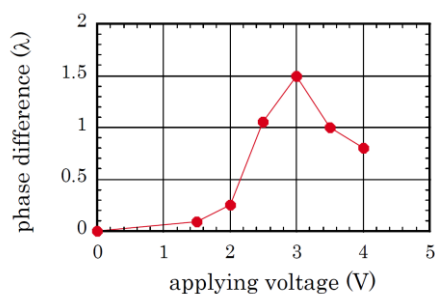


図 3 - 2 8 球面収差発生量

### 3 - 6 - 6 球面収差補正液晶デバイスを用いた場合の観察範囲拡大量の算出

波長 405nm にて  $1.5\lambda$  の球面収差量は、波長 827nm においては  $0.73\lambda$  の球面収差量となる。この  $0.73\lambda$  の球面収差を発生する液晶収差補正デバイスを光学系に挿入することにより、NA0.8 の光学系及び NA1.2 の光学系では  $n=3.5$  の媒質中においてそれぞれ  $7.31\mu\text{m}$  及び  $1.44\mu\text{m}$  の厚さの球面収差量を補正できることとなる。

$0.06\lambda_{\text{rms}}$  のクライテリアにおいて、球面収差の設計値が  $0\mu\text{m}$  として設計された NA0.8 の光学系・NA1.2 の光学系を用いた場合にはシリコン基板の表面からの深さ

がそれぞれ  $5.58\mu\text{m}$  および  $1.06\mu\text{m}$  の位置がその観察可能範囲であったことから、図 3-18 に示した関係からこの  $7.31\mu\text{m}$  および  $1.44\mu\text{m}$  という数値が範囲に加算されることとなり、 $12.89\mu\text{m}$  および  $2.5\mu\text{m}$  の深さ位置が観察可能範囲となる、したがって、NA1.2 の光学系を用いた場合においても十分に BOX 層の下の保持基板まで欠陥観察を行うことができることとなる。

### 3-7 高効率な非破壊欠陥特定法の応用

本節においては、本章の研究テーマである「蛍光顕微鏡を用いた非破壊で効率的な欠陥位置特定方法」において、Si 基板の欠陥検査以外の用途について記す。

#### 3-7-1 色収差測定方法への適用

本節においては、顕微鏡の色収差の測定に本研究の撮影方法を適用した結果を記す。色収差とは、レンズを構成する材料の屈折率が波長により異なることに起因して、波長により焦点位置が異なってしまいう現象である。一般に正の分散を有する材料(波長が長くなると屈折率が小さくなる材料)と負の分散を有する材料(波長が長くなると屈折率が大きくなる材料)とを組み合わせ対物レンズを構成することにより色収差は小さくする設計がなされているが、広い波長範囲で色収差を完全になくすことは困難である。

平坦な基板上に存在する複数の色の観察対象物は、色収差のない光学系によりその高さ位置を測定すると、同一の高さ位置に存在すると観察されるはずである。そして平坦な基板上に存在する複数の色の観察対象物が、波長に応じてそれぞれ異なる高さ位置に観察されると測定された場合には、その測定された高さが用いた光学系の色収差を示すこととなる。

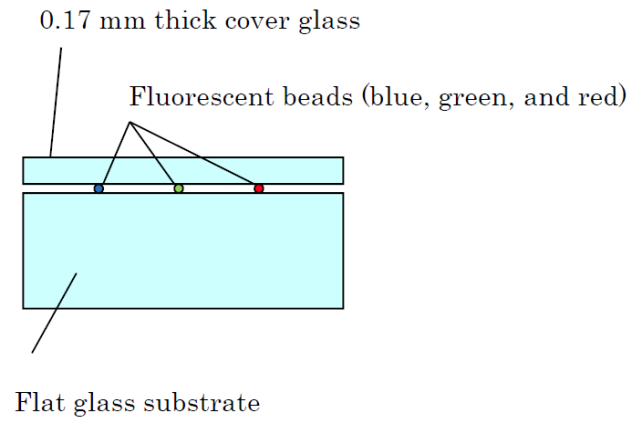


図 3 - 2 9 色収差測定用試料

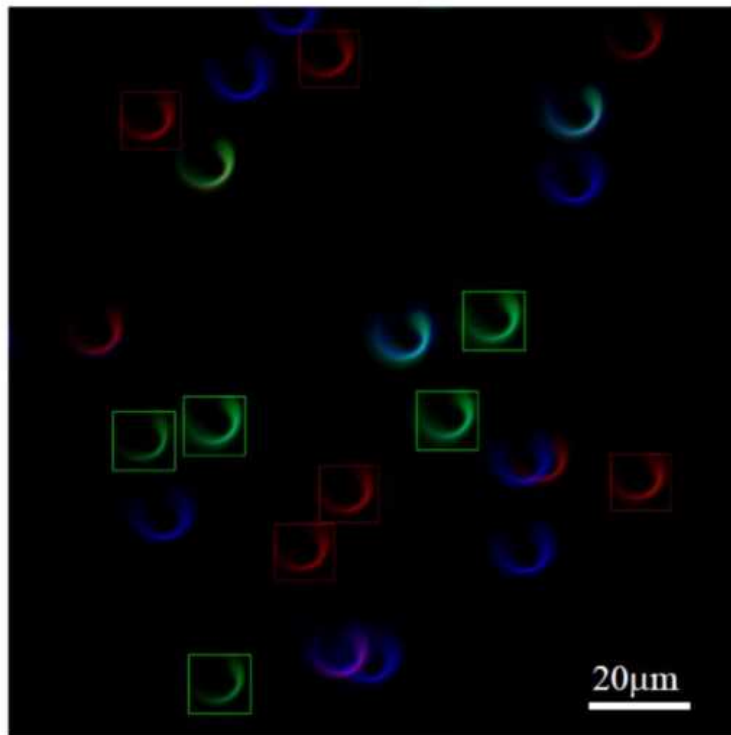


図 3 - 3 0 色収差測定用画像



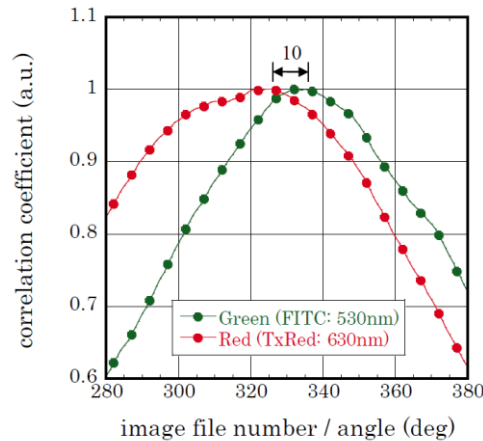


図 3 - 3 1 色収差測定結果

図 3 - 2 9 に本節の実験に用いた試料構成を示す。平坦なガラス基板上に青、緑、赤の波長帯域の光をそれぞれ発色する  $0.3\mu\text{m}$  径の蛍光ビーズ(Thermo Fisher Scientific 社製 B300, G300, R300)を散布した後、 $0.17\text{mm}$  厚のカバーガラスを配置した。この試料に対して図 3 - 9 に記した光学系を用いて 3 - 5 節に記した精度検証を行なった場合の撮影条件と同一の条件にて、 $z$  位置の検出工程の撮影にて得た画像を図 3 - 2 9 に示す。撮影に際しては、Carl Zeiss 社の No. 25HE フィルターセットと  $40\times$  の対物レンズ(EC Plan-NEOFLUAR  $40\times/0.75$ , Carl Zeiss)を用いた。このフィルターセットは、DAPI, FITC, TxRed という試薬をそれぞれ  $460\text{nm}$ 、 $530\text{nm}$ 、 $630\text{nm}$  という波長で同時観察を行うことのできるものである。

図 3 - 3 0 に示した観察像から矩形のマークで囲んだ緑と赤のそれぞれ 5 つの像に対して図 3 - 1 2 に示す高さ位置検出工程を行いその平均を示した結果を図 3 - 3 1 に示す。高さ位置検出に用いるマッチング画像には、 $530\text{nm}$ (FITC)と  $630\text{nm}$ (TxRed)のそれぞれの波長の理論イメージ群を適用した。図 3 - 3 1 に示した結果から  $530\text{nm}$ (FITC)と  $630\text{nm}$ (TxRed)の波長間においては、 $10$  度の違いが存在する結果が得られた。 $10$  度の違いは  $0.42\mu\text{m}$  の高さ位置の違いに相当するので、撮影に用いた  $40\times$  の対物レンズ(EC Plan-NEOFLUAR  $40\times/0.75$ , Carl Zeiss)には、 $530\text{nm}$  と  $630\text{nm}$  の間に  $0.42\mu\text{m}$  の色収差が存在するという測定結果を得ることができる。そして蛍光顕微鏡を用いた非破壊で簡易的な欠陥位置特定方法は、顕微鏡における色収差の測定に適用できることが示される。

色収差の測定を 1 回の撮影により得られた画像から行えることは、色収差の測定を

短時間に行えるという利点に加えて、色収差の測定データを1枚の画像として表現・記録できる利点も有している。後述する適用例のように、色収差情報は、複数の波長のマーカー位置を3次元で特定する場合における必要情報となるので、簡易に測定できる手法は必要性が高い。

### 3-7-2 多色輝点3次元位置測定による遺伝子距離計測への応用

がんなどの病気の診断および創薬の分野においては、細胞の遺伝子情報を解析ために、FISH(Fluorescence in situ hybridization)[89,90]という方法がよく用いられる。FISH法は、特定の遺伝子を蛍光マーカーで修飾(Hybridization)することにより、その位置を観察可能とする方法であり、細胞内における特定の遺伝子あるいはタンパク質の位置を三次元的に取得し、細胞の変異と解析する研究を可能にしている[91]。

細胞内の遺伝子の一部が入れ替わってしまう現象(転座現象)の発生頻度は細胞内の遺伝子の距離に反比例するという報告[92]もあり、遺伝子の3次元位置情報の取得の必要度は増加している。

そこで本節においては、「蛍光顕微鏡を用いた非破壊で効率的な欠陥位置特定方法」を細胞内の遺伝子位置の3次元位置特定および遺伝子間の距離測定に適用した結果を述べる。

実験にはMRC-5という人間の正常細胞に由来する培養細胞[93]に、UroVysion膀胱がん検出FISH染色キット[94]により染色を行なった試料を準備した。この染色キットには4色の蛍光プローブが含まれているが、本検討においてはそのうち3番染色体の位置を示すSpectrum Redという赤色の蛍光を発色するプローブと、7番染色体の位置を示すSpectrum Greenという緑色の蛍光を発色するプローブの2つのプローブに着目して検討を行なった。

画像撮影には、530nm(FITCあるいはSpectrum Green)と630nm(TxRedあるいはSpectrum Red)の2色同時観察が可能なdual band蛍光フィルターセット(Chroma社製の#51006フィルターセット)と、前節において色収差を測定した40xの対物レンズ(EC Plan-NEOFLUAR 40x/0.75, Carl Zeiss)を図3-9に記した光学

系に適用した。

図3-32に測定により得られた写真を示す。(a)はxy位置の特定を行うための第1の撮影(zステージのみの移動を行う撮影)による細胞像、(b)はz位置の特定を行うための第2の撮影(xyzステージを連動させて行う撮影)による細胞像である。また(c)は参考のために、ステージを固定して撮影した画像である。そして本節においては、(a)にてマーキングを行った2つの遺伝子がxy平面上で近接しているため、これらの遺伝子の距離を三次元的に測定する検討を行った。

xy方向の2つのマーカーの距離は、図3-32(a)の写真から $0.96\mu\text{m}$ であると測定した。次に2つの遺伝子のz位置を特定するために、図3-32(b)の写真から、対象となる遺伝子の画像を図3-33(a)に示すように切り抜いた画像を赤色成分と緑色成分に分解し、図3-33(b)に示す3番染色体に対応するSpectrum Redの情報のみの画像、および図3-33(c)に示す7番染色体に対応するSpectrum Greenの情報のみの画像を作成した。この図3-33(b),(c)に示す画像に対して高さ検出工程を行った結果を図3-34に示す。この結果から画像データ番号として14すなわち $0.58\mu\text{m}$ の距離があるように観察されるが、前節に示した $530\text{nm}$ と $630\text{nm}$ の波長の間での色収差が $0.42\mu\text{m}$ あることとその符号を考慮すると、 $0.16\mu\text{m}$ の距離であることが分かる。

図3-32においてマーキングを行った3番遺伝子と7番遺伝子の距離は、xy方向・z方向それぞれ $0.96\mu\text{m}$ ・ $0.16\mu\text{m}$ であるため、両遺伝子の距離は $0.97\mu\text{m}$ と算出することができる。

本節で示した細胞間の遺伝子の距離計測への「蛍光顕微鏡を用いた非破壊で簡易的な欠陥位置特定方法」は、遺伝子の距離計測を簡易に少ないデータ容量にて行うことを可能にすることを示すものであり、今後の実用も期待される。

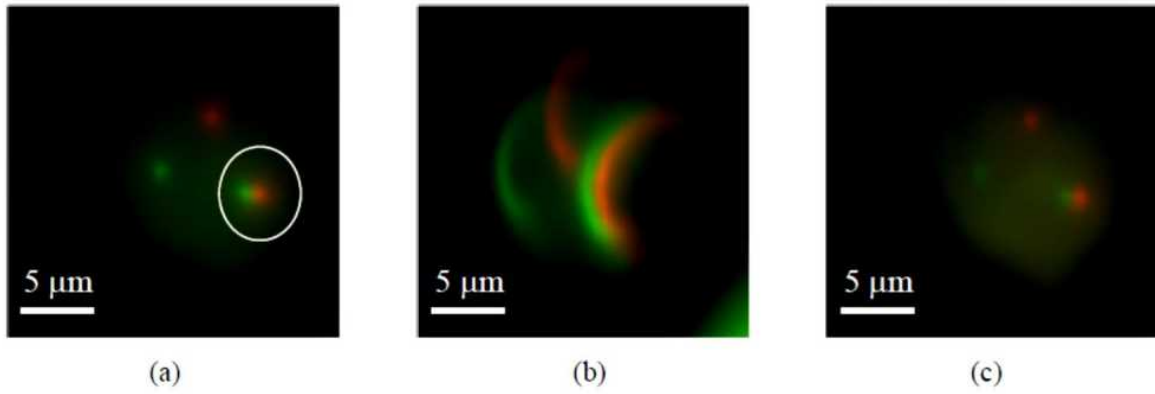


図 3 - 3 2 UroVysion 染色細胞の撮影結果

(a) 本提案手法の第 1 の撮影工程による画像 (b) 本発明の第 2 の撮影工程による画像 (c) ステージを固定して撮影した画像(参考)

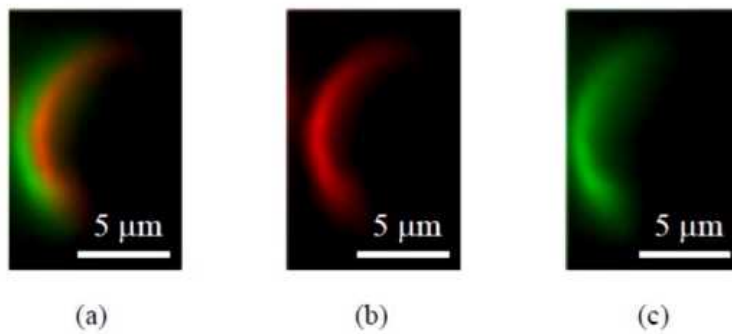


図 3 - 3 3 z 位置検出用に切り抜かれた画像およびその色分離画像

(a) 図 3 - 3 2 からの切り出し画像 (b) 画像(a)の赤色成分  
(c) 画像(a)の緑色成分画像

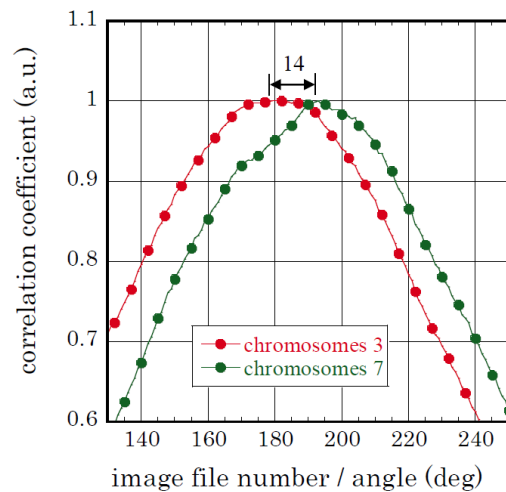


図 3 - 3 4 z 位置検出結果

### 3-8 まとめ

CMOS集積回路用Si層と光回路用Si層の2層を有する光電気集積回路基板における欠陥評価は、その欠陥がどのレイヤーに存在するかにより欠陥の影響度が異なるので、欠陥の深さ位置を特定することのできる評価方法を用いる必要である。

本章においては2枚のイメージ撮影により屈折率が1の環境下で0.1 $\mu\text{m}$ の高さ分解能、Si基板中で約30nm以下の高さ分解能を有する蛍光顕微鏡を用いた非破壊で効率的な欠陥位置特定方法を提案し、蛍光ビーズを用いた試料を用いてその有用性を検証した。各測定箇所において焦点を変えながら20枚程度の写真撮影を行う従来の蛍光顕微鏡を用いた欠陥の深さ検出方法においては、 $\phi 300\text{mm}$ のSi基板1枚あたり約9TBの容量に達する画像ファイルを分析する必要があり、現実的に全数検査を行うことが不可能であったが、本研究はデータ容量を1/10以下に削減する効率的な欠陥検査方法であるため、全数検査としての適用が期待される方法である。

また本研究の特定方法の適用範囲は、深さ方向を焦点位置が移動することにより発生する球面収差により限定されてしてしまうが、回折損失なく液晶デバイスを透過する光の位相を変調する $\phi 3\mu\text{m}$ の微小空孔を電極面に配置した球面収差補正液晶デバイスの採用により適用範囲が拡大できる。

そして本研究の蛍光顕微鏡を用いた非破壊で簡易的な欠陥位置特定方法は、Si基板の欠陥検出だけではなく、顕微鏡の色収差測定および細胞内の遺伝子の位置測定にも適用できることを示した。

## 第4章 パターン SIMOX 法を用いた埋込み光導波路の作製

### 4-1 はじめに

本章では、2章において提案を行なった CMOS 集積回路技術に適合する Si 基板の埋込み光導波路技術として、パターン SIMOX 法を用いて SOI 基板の SOI 層に深さが変調された埋込み酸化膜層を形成することにより CMOS 集積回路用 Si 層と光回路用 Si 層を作製する研究について述べる。

8 インチ(直径 200mm)の基板を用い CMOS 集積回路の量産を行っているプロセス装置により製作プロセスを実行し、本研究の結果に基板汚染などの原因が含まれないようにした。酸素イオン注入プロセス・高温アニール工程などの SIMOX 法に用いる基本プロセスは、SIMOX 法による SOI 基板を製造中であった山口県光市の Siltronic Japan 社の量産設備を用いた。また Siltronic Japan 社が設備を有していないパターン形成プロセスおよび保護膜成膜プロセスは、日立超 LSI システムズおよび日立製作所のご協力のもと東京都青梅市の日立製作所マイクロデバイス事業部の半導体デバイス製造装置を用いた。シリコン基板を各々のクリーンルームに持ち込む際には、毎回基板の汚染度の確認を行い、最先端 CMOS 集積回路を作製する場合に問題を発生する基板汚染はないことを確認した。

埋め込み光導波路が形成された基板表面の CMOS 集積回路用 Si 層の欠陥密度を  $1.0 \times 10^4/\text{cm}^2$  以下にすることを目標とした。欠陥密度  $1.0 \times 10^4/\text{cm}^2$  は、22nm の CMOS デザインルールに対応する 2011 年発行の ITRS に記載されるように、極めて欠陥密度が低いレベルである。また表面平坦性については、CMOS 集積回路の形成に望ましいとされている条件である、CMOS 集積回路用 Si 層の表面に 20nm 以上の段差がないことを目指した。

本章の9節においては、本研究の結果を得て可能となった埋込み光導波路技術の応用例を紹介する。

## 4-2 マスク材料の選定

図2-9に示した提案プロセスの実行に際して、最初にパターン SIMOX のイオン注入時に用いるマスクの材料選定について述べる。

本研究におけるイオン注入時に使用するマスクは、加速されたイオンの注入深さをコントロールするように用いられるので、加速されたイオンはマスク材質を透過することとなる。したがってマスク材料の選定は、加速されたイオンがマスクを構成する材質と衝突しマスクを構成する材質が基板内に注入されるノックイン現象[95]を考慮する必要がある。ノックイン現象の概念図を図4-1に示す。著者はノックイン現象により基板中に不純物が混入することを防ぐために、SOI 基板の構成材質である Si あるいは  $\text{SiO}_2$  がマスクに適していると考えた。それら材質を比較すると、CMOS 集積回路のゲート酸化膜として使用されている熱酸化法により作製される  $\text{SiO}_2$  膜は、成膜条件・パターニング条件ともに高精度な条件だしがなされているので、熱酸化法により形成される  $\text{SiO}_2$  をマスク材料として用いることとした。

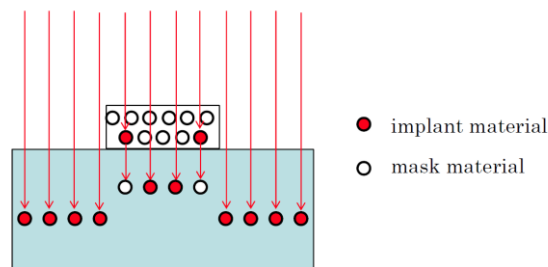


図4-1 ノックイン現象の説明図

### 4-3 デバイスシミュレータにおける酸素イオン注入コマンド

パターン SIMOX 法を用いて酸素イオン注入した領域に埋め込み酸化膜を形成する検討において、実験パラメータの影響を把握しやすくすることを目的として、既存のプロセスシミュレータの応用を試みた。SIMOX 工程のアニール工程の処理温度は 1300°C を上回り、現在のトランジスタ製造工程では扱わない温度であるので、アニール工程へのプロセスシミュレータの応用は精度が得られないと考えた。そこで、イオン注入工程についてのみプロセスシミュレータの応用を検討した。

#### 4-3-1 酸素イオン注入サンプルの作製とシミュレーション関数の適合

半導体デバイスシミュレータと呼ばれる半導体製造メーカー各社が採用しているプロセスシミュレータは、トランジスタ作製を目的としているので酸素のイオン注入コマンドがない。そこで、バルク Si 基板に酸素イオン注入を行い、その試料内の酸素濃度プロファイルを実測し、その濃度プロファイルをフィッティングするイオン注入コマンドを探索した。

酸素イオン注入工程は implant science 社(<http://implantsciences.com/>)に依頼して加速電圧:40keV のイオン注入を行った。酸素イオンの注入量と加速電圧が SIMOX 法による SOI 基板の作製条件よりも低い理由は、implant science 社の加速電圧が 100keV 以上に上げられなかったことによる、そして加速電圧を下げた状態において  $4.0 \times 10^{17}/\text{cm}^2$  のイオン注入を行うと濃度が飽和してしまうために、40keV の加速電圧において酸素イオンが飽和しないと予想した  $1.5 \times 10^{17}/\text{cm}^2$  を dose 量の目標値とした。イオン注入を行った基板の酸素イオンの濃度プロファイルは、Evans Analytical Group 社(<http://www.eaglabs.com/>)に Secondary Ion Mass Spectrometry (SIMS) 分析を依頼した。SIMS 分析により 0.8 $\mu\text{m}$  の深さまでの領域において検出された酸素イオンの量は  $4.63 \times 10^{16}/\text{cm}^2$  であった。基板に実際に注入された酸素イオンの量が目標値を大きく下回った理由は、基板からの反射などの効率を考慮していない数値を目標値としたためである。

イオン注入時に基板を傾斜させるチャネリング角は、実験・シミュレーションとも



に 7deg である。

SIMS にて測定したイオン注入による酸素イオンの濃度プロファイルを図 4-2 に示す。

Silvaco 社(<http://www.silvaco.com/>)のデバイスシミュレータである Tsuprem-4(現在の名前は Athena)におけるイオン注入のコマンドにある Boron、Phosphor、Arsenic、BF<sub>2</sub>などのドーパントの条件から、SIMS により測定された酸素イオンの濃度プロファイルを最も忠実にフィッティングする条件を探索した。その結果、Boron のイオン注入コマンドにおいて dose 量: $4.5 \times 10^{16}/\text{cm}^2$ ・加速電圧( $V_{\text{acc}}$ ):32keV という条件 (simulation A)が、表面から 0.3 $\mu\text{m}$  くらいの深さまでのイオン濃度のピーク部分付近のプロファイルとほぼ一致したプロファイルを有するという結果を得た。さらに pre-dose として  $1.0 \times 10^{19}/\text{cm}^3$  の dose 量をイオン注入前に拡散して一様な濃度プロファイルを与えた後に、simulation A のイオン注入を行う条件(simulation B)は、表面から 0.6 $\mu\text{m}$  程度の深さまで精度よく一致したプロファイルを有することがわかった。これら 2つの条件でのシミュレーション結果を図 4-2 に合わせて示す。なお表面の 0.02 $\mu\text{m}$  よりも浅い領域は、表面酸化膜中の酸素イオンが計測されているため実験値と計算とがずれている。

Phosphor のイオン注入コマンドにおいても、dose 量: $4.5 \times 10^{16}/\text{cm}^2$ ・加速電圧:93keV,の条件において、上記の Boron の条件とほぼ同一の濃度プロファイル結果を得ることができたが、本研究においては加速電圧に近い Boron の結果を採用することとした。したがって、酸素のイオン注入時の加速電圧を 0.8 倍した数値を用いて Boron のイオン注入コマンドを実行することにより、酸素イオンのイオン注入プロファイルを簡易的にシミュレーションできるという結果を得た。そしてこの条件を用いて、マスクがある場合のイオン注入シミュレーションを行うこととした。

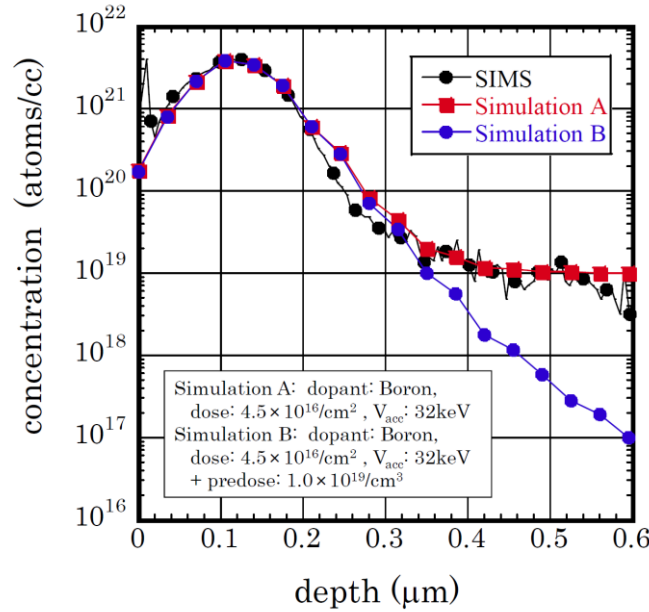


図 4 - 2 バルク Si 基板に酸素イオン注入した場合の酸素イオン濃度プロファイル  
SIMS 測定結果とシミュレータによるプロファイル近似の結果

#### 4 - 3 - 2 マスクがある場合のイオン注入の深さ変化とイオン注入量

酸素のイオン注入時の加速電圧を 0.8 倍した Boron のコマンドを用いて、180keV の酸素のイオン注入条件 (Boron 144keV) ・dose 量:  $5.0 \times 10^{17}/\text{cm}^2$  での酸素イオン濃度プロファイルを図 4 - 3 に示す。50nm, 100nm, 150nm の厚さの  $\text{SiO}_2$  よりなるマスクを介したイオン注入条件とマスクのないイオン注入条件のシミュレーションを行った。またイオン注入時におけるチャネリング角度は 7deg とした。

この結果から、マスクがある条件と無い条件におけるイオン注入原子の濃度プロファイルはほぼ同じ形状となっており、それぞれのマスク厚とほぼ等しい距離だけイオン注入プロファイルが深さが浅くなる方向にシフトしていることがわかる。

厚さ 100nm、幅  $2\mu\text{m}$  の  $\text{SiO}_2$  マスクを形成した SOI 基板への 2 次元シミュレーションの結果を図 4 - 4 に示す。この SOI 基板の SOI 層の厚さは 700nm とし、チャネリング時の基板の傾斜方向は、図中に示すように図の右上部からイオン注入が行われる方向とした。この結果から  $2\mu\text{m}$  の幅のマスクを形成することにより、Si 基板の内部においては約  $2.5\mu\text{m}$  の幅の領域におけるイオン濃度プロファイルが浅くなって

いることがわかる。なお、そのイオン注入プロファイルはチャネリング角の影響を受け若干の非対称部分を有していることもわかる。

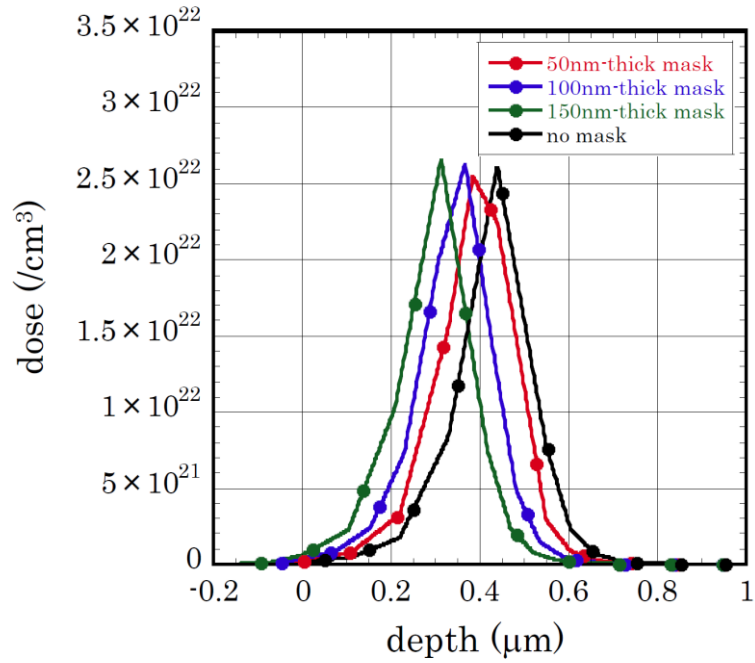


図 4-3 マスクを介してイオン注入する場合の濃度プロファイル

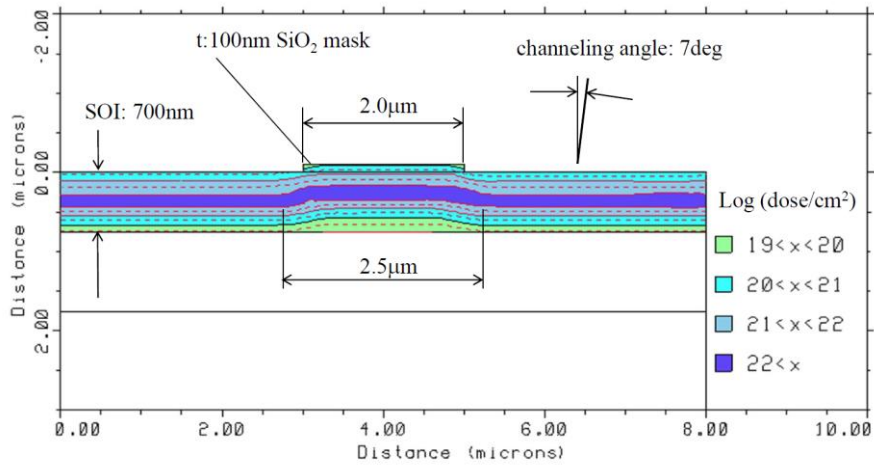


図 4-4 厚さ 100nm 幅 2 $\mu\text{m}$  の  $\text{SiO}_2$  マスクを用いた場合のイオン注入プロファイル

#### 4-4 SOI 基板仕様の設定

本節では、パターン SIMOX 法により作製する埋込み光導波路の光学特性をシミュレーションすることにより、作製の目標とする光導波路の形状を大まかに定め、実験に供する SOI 基板の仕様を定めた内容について述べる。

##### 4-4-1 光導波路形状の設定

光学シミュレーションには、Photon Design 社(<http://www.photond.com/>)のビーム伝搬法を用いた光導波路シミュレータ FIMMWAVE を用いた。計算を行った埋込み光導波路の形状は、図 4-5 に示すリッジ型光導波路である。光導波路の下側には 400nm の厚さの SmartCut 法により作製された BOX 層があるとした。SOI 基板の SOI 厚パラメータは 550, 600, 650, 700nm の 4 条件を用いた。SiO<sub>2</sub>により構成されるマスクの厚さは 50, 100, 150nm の 3 条件とし、その製法は熱酸化工程とした。すなわちマスクを作製するために Si 層がマスク厚の 44%消費されることを考慮した。SOITEC 社製 SOI 基板に SIMOX 法を適用した図 2-1 1 (a)の結果から、マスクのない部分には SIMOX 法により、表面から埋込み酸化膜の上面までの距離が 170nm の位置に 105nm の厚さの埋込み酸化膜が形成されることとした。マスクがある部分に形成される埋込み酸化膜は、図 4-3 に示した結果から、マスクがある部分にも厚さ 105nm の埋込み酸化膜が形成され、その深さ方向の位置はマスクのない部分に比較してマスクの厚さだけ基板表面に近い方向にシフトすると仮定した。すなわち、リブ部の高さはマスク厚と等しくなると仮定した。図 4-4 に示したイオン注入の 2 次元シミュレーションの結果から、パターン SIMOX 法により形成される埋め込み酸化膜は、斜め形状に形成されることが予想されるが、シミュレーションツールに斜め形状の入力が適していなかったため、光導波路の断面構造はすべて矩形要素より構成し、リブ部の両側の 200nm の領域の埋込み酸化膜を厚くすることにより代用した。

図 4-6 に、縦軸に SOI 基板の SOI 厚、横軸にリブ部の高さ(マスクの厚さ)を用いて導波路曲がりによる損失をプロットした光学シミュレーションの結果を示す。パラメータの格子の部分には、光導波路のシングルモード条件を有する最大の光導波路

のリブ幅  $W$  を  $0.5\mu\text{m}$  の単位で得た値を記入した。そして、 $r=50\mu\text{m}$  の半径の曲率で  $90\text{deg}$  の曲げられたリブ幅  $W$  が  $1\mu\text{m}$  の導波路において、波長  $1.55\mu\text{m}$  の TE モードの光が受ける損失を計算した結果から色分けを行った。

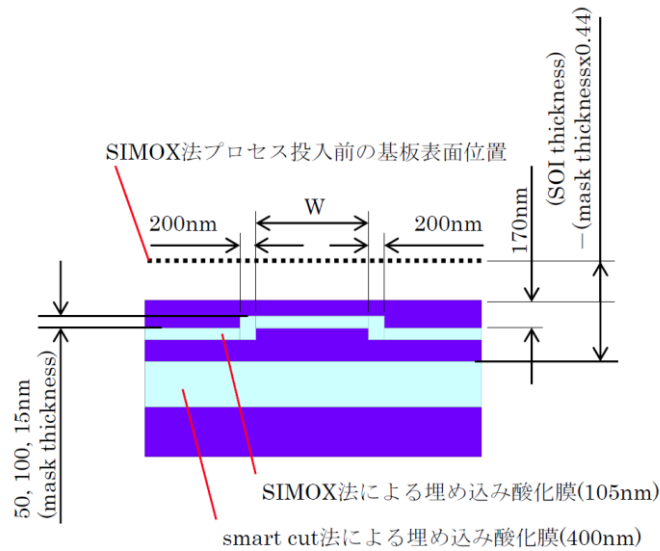


図 4-5 シミュレーションに用いた光導波路の形状

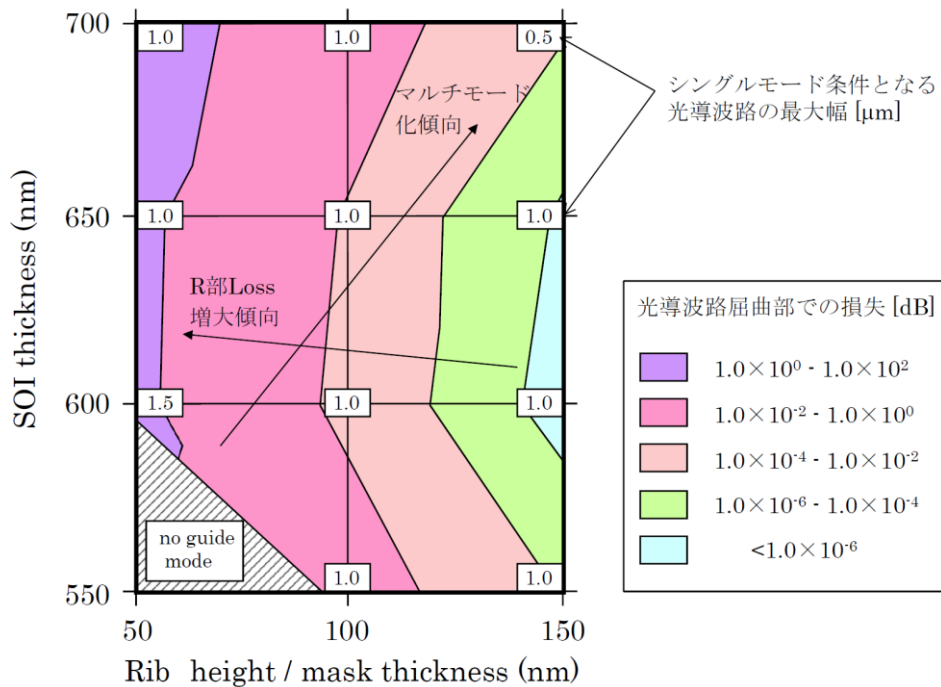


図 4-6 プロセスに投入する SOI 基板の SOI 厚とリブ高さによる光導波路条件シミュレーション結果(リブ導波路幅:  $1\mu\text{m}$ , 波長  $1.55\mu\text{m}$ )

すなわち、SOIの厚さが厚く、導波路のリブ高さが高くなるにつれて、光導波路はマルチモード化の傾向を有し、同じ幅の光導波路であっても導波モードの数が多くなる傾向を有していることがわかる。 $r=50\mu\text{m}$ の半径の屈曲を有する光導波路の導波損失については、図の右から左に向かうにつれて、すなわち、リブ高さが低くなるにつれて、導波損失が指数関数的に大きくなることを示している。

表4-1に半径が $25\mu\text{m}$ 、 $50\mu\text{m}$ 、 $100\mu\text{m}$ の90deg.の曲がり導波路の損失を各SOI厚とリッジ光導波路のリブ高さに対して示す。

この結果より曲がり導波路における損失は、計算を行った範囲において半径を大きくすることにより著しく減少することがわかる。そしてSOI基板厚: $650\text{nm}$ ・リブ高さ: $100\text{nm}$ という条件においてリブ幅が $1\mu\text{m}$ の光導波路は、 $100\mu\text{m}$ の半径で屈曲部での導波損失がほとんど無視できる程度の数値( $1.82 \times 10^{-6} \text{ dB}$ )となった。

表 4-1 屈曲部光導波路の導波損失 (dB)

SOI thickness (nm)	25 $\mu\text{m}$ radius			50 $\mu\text{m}$ radius			100 $\mu\text{m}$ radius		
	rib height(nm)			rib height(nm)			rib height(nm)		
	50	100	150	50	100	150	50	100	150
550	N/A	$1.41 \times 10^{-1}$	$5.10 \times 10^{-3}$	N/A	$1.09 \times 10^{-1}$	$9.78 \times 10^{-5}$	N/A	$5.11 \times 10^{-2}$	$6.88 \times 10^{-9}$
600	2.46	2.46	$1.05 \times 10^{-1}$	1.79	$4.58 \times 10^{-3}$	$1.55 \times 10^{-7}$	$8.29 \times 10^{-1}$	$2.05 \times 10^{-6}$	0
650	3.68	$2.54 \times 10^{-1}$	$4.05 \times 10^{-3}$	2.20	$7.48 \times 10^{-3}$	$6.08 \times 10^{-7}$	$6.41 \times 10^{-1}$	$1.82 \times 10^{-6}$	0
700	5.88	$9.58 \times 10^{-1}$	$6.04 \times 10^{-2}$	3.98	$1.03 \times 10^{-1}$	$1.62 \times 10^{-4}$	1.70	$4.06 \times 10^{-4}$	$3.78 \times 10^{-10}$

上述した検討結果より、本研究における光導波路の形状目標を、 $650\text{nm}$ 厚のSOI基板を用いてリブ高さ: $100\text{nm}$ という数値を設定した。設定の理由は、 $1\mu\text{m}$ の光導波路幅においてシングルモード条件が得られ、 $100\mu\text{m}$ の半径で光導波路を曲げた場合においても導波損失がほとんど無視できる程度であるためである。またSOI基板のBOX層厚を $400\text{nm}$ とすることにより、導波損失は問題のない程度であったので、パターンSIMOX法により作製する埋込み光導波路の検討を、 $650\text{nm}$ のSOI厚でありBOX厚が $400\text{nm}$ のSOI基板を用いることとした。

#### 4-4-2 曲がり導波路の導波損失低減方法

本研究の光導波路は、基板表面の CMOS 集積回路用 Si 層の下部に位置している。そして CMOS 集積回路の作製工程には、各々のトランジスタを電氣的に分離するための素子分離工程として局所酸化膜の形成工程がある。筆者はこの局所酸化工程が曲がり光導波路の導波損失低減に有効となる可能性があると考えた。本節では局所酸化工程の、光導波路の曲がり損失低減効果について検討した結果を述べる。

図 4-7 に検討を行った基本構造の光導波路構造 (条件 A) を記し、図 4-8 に光導波路の上部に局所酸化膜形成した 7 つの光導波路構造 (条件 B-H) を記す。この光導波路条件は、SOI 基板として 650nm の基板を用いリブ高さ:100nm・幅:1μm の光導波路の条件である。局所酸化膜による導波損失の低減の効果を比較しやすくするために、曲がり光導波路の半径は 50μm とし、曲がり光導波路の損失がある程度存在する条件で計算を行った。光導波路が曲がっている方向は、図 4-7 に矢印を用いて示しているように図の左側がその曲がり光導波路の中心側である。

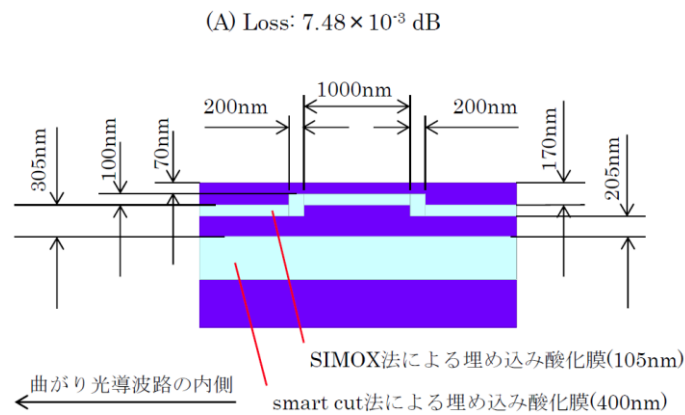


図 4-7 CMOS 回路用 Si 層に局所酸化膜形成前の光導波路形状  
SOI 厚 650nm の基板にリブ高さ:100nm・幅:1μm の光導波路条件

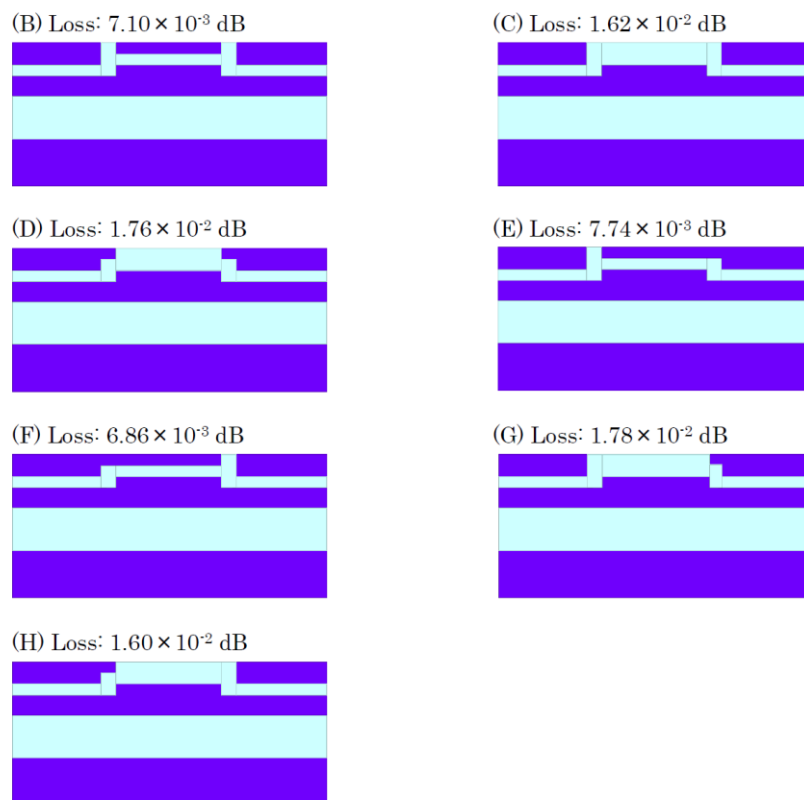


図 4 - 8 CMOS 用 Si 層に局所酸化膜を形成した場合の形状と導波損失値

図 4 - 7 に示す条件を基本構造とし、これに対して、図 4 - 8 に示すように、局所酸化膜の形状を (B) から (H) のように変化させた場合について、それぞれ導波路損失を計算した結果を図 4 - 8 に示す。

光導波路条件 (A) に比較して、条件 (B) - (H) に示した局所酸化膜を形成することにより、光導波路の損失が増減することがわかる。そして条件 (B), (F) はわずかではあるが、条件 (A) よりも少ない曲がり光導波路の導波損失となることを示している。

本研究の光導波路は表面の CMOS 集積回路用 Si 層とは異なる層に形成されるので、光導波路が CMOS 集積回路層と同じ層に作製される場合に比較してレイアウトの制約条件は少なく、半径  $100\mu\text{m}$  程度の緩やかな曲率半径を採用することも容易で曲がり部の導波損失を無視できる程度に抑えることが可能である。そのように導波路の低損失化に注力する必要はない背景ではあるが、上記のように、光導波路の上部に、適当な形状で局所的に酸化膜を形成することにより、さらに曲がり光導波路の損失を低減できるという選択肢があるという結果が得られた。



### 4-4-3 基板条件

本研究の実験に供した SOI 基板の代表的な仕様を表 4-2 に記す。400nm の厚さの埋込み酸化膜を有する SOI 基板は SmartCut 法による基板となるので、本仕様は量産性なども考慮し、SOITEC 社と協議して、次のように決定した。

表 4-2 研究に供した SOI 基板の仕様

item	parameters	min	target	max	unit
top silicon	SOI thickness	628	650	672	nm
top silicon	crystal orientation	-0.5	<100>	0.5	deg
buried oxide	mean thickness	392.5	400	407.5	nm
handle wafer	crystal orientation	-0.5	<100>	0.5	deg
total	thickness	710	725	740	μm
total	diameter	199.8	200	200.2	mm

### 4-5 標準 SIMOX 条件でのパターン SIMOX 作製

この節では、Siltronic Japan が SOI 基板の製造に用いている標準条件(dose: $4.0 \times 10^{17}/\text{cm}^2$  + ITOX)を、マスクを用いたパターン SIMOX 法に適用した結果を報告する。

#### 4-5-1 プロセス工程および検討条件

図 4-9 にプロセスフローを示す。

イオン注入時のマスクの作製およびパターンニングは、日立製作所にてプロセスを行った。マスク材質は熱酸化工程により作製した  $\text{SiO}_2$  とし、そのマスク厚は 50nm, 100nm, 150nm の 3 条件とした。

マスクパターンニングがなされた基板に対して、Siltronic Japan 社にて酸素イオン注入工程、高温アニール工程よりなる Siltronic Japan 社の標準 SIMOX 工程を行った。SIMOX 工程の条件は、dose 量: $4.0 \times 10^{17}/\text{cm}^2$ ・加速電圧:180keV、アニール温度

1350℃であり、その後標準 ITOX 熱処理を行っている。なお、SIMOX 工程における 1350℃の BOX 形成アニールの温度プロファイル(昇温レート、降温レート、高温保持時間)、さらに ITOX 熱処理条件は非公開である。

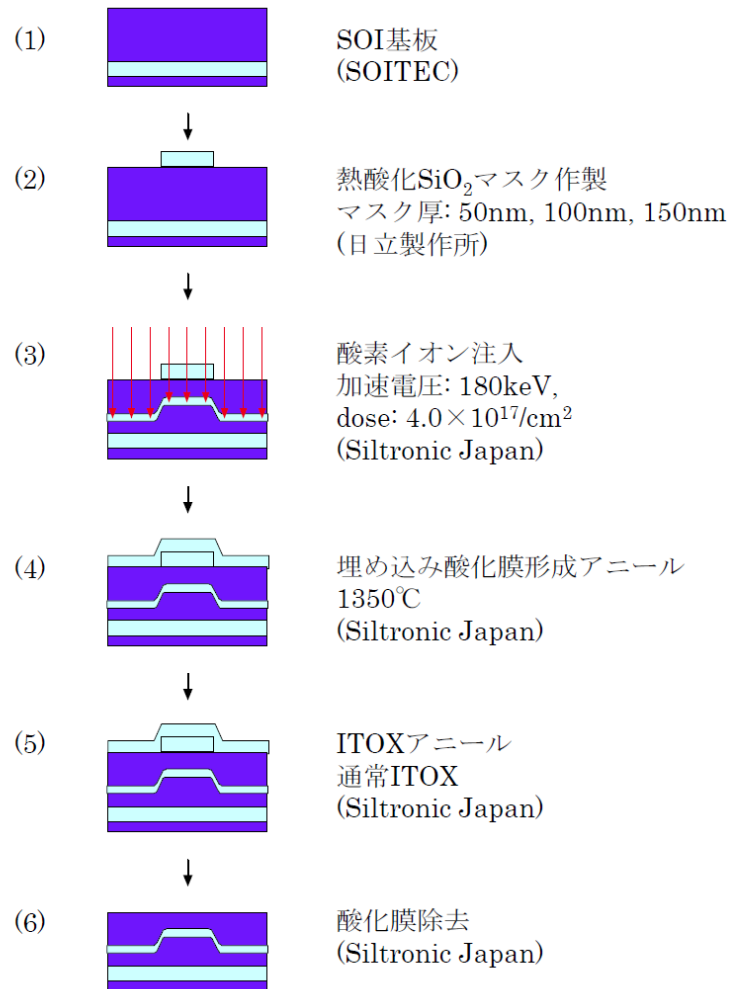
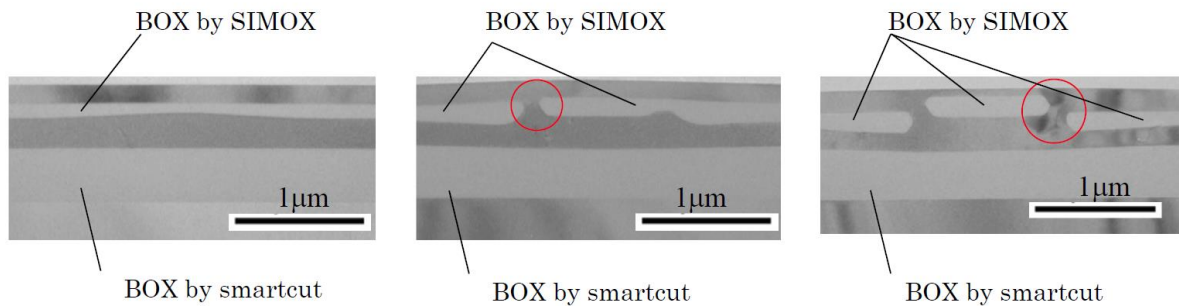


図4-9 パターン SIMOX 法による埋込み光導波路の製作プロセス

#### 4-5-2 断面形状観察結果

図4-10にパターン SIMOX を行った試料の断面観察結果を示す。図4-10は観察したい部分を FIB(Focused Ion Beam)装置により 3~5μm 程度の薄型試料とした後、透過型電子顕微鏡(TEM)により観察した写真である。本節において観察を行った部分はすべてマスクの幅が 1μm の部分である。



(a) マスク厚: 50nm      (b) マスク厚: 100nm      (c) マスク厚: 150nm

図4-10 断面TEM観察結果  
(4章5節の製作プロセス)

得られた結果を下記に記す。

1. マスクの下のイオン注入により形成された埋込み酸化膜(BOX)層は、マスク厚が厚くなるに従い表面に近い位置に形成されている。
2. マスク厚が 50nm の場合は埋込み酸化膜層が連続しているが、150nm の場合は埋込み酸化膜層が段差部分(マスクの端の部分)で分断されている。そして 100nm の場合には連続している場合と分断している場合がある。図4-10の写真内に埋込み酸化膜の分断部分に観察される欠陥部分を赤色マーカーで示す。
3. すべてのマスク厚の条件において、イオン注入により形成された埋込み酸化膜の厚さは不均一である。特にマスク厚が 100nm の場合の厚さムラが大きい。50nm の場合は他の条件に比較して埋込み酸化膜の厚さ変化は少ないが、マスクの直下の厚さが薄くなっている。

結果1については、マスクの厚さに応じてイオン注入される領域がシフトすることを示している。また結果2の埋込み酸化膜の分断に関する結果、および3の埋め込み酸化膜の厚さムラについては、次節以降に詳細の考察を与える

### 4-5-3 埋込み酸化膜の分断と欠陥位置に関する考察

埋込み酸化膜層の分断は、マスク厚が厚い場合にマスクの端部分で生じていることから、マスク分断の原因を図4-11に示すように考えた。まず図4-11(a)に示すイオン注入工程において、マスク厚が厚い場合には、マスクの端の部分において酸素イオンが高濃度となっている部分が矢印で示すように他の部分に比較して狭くなる。そして図4-11(b)に示すアニール工程において、その狭くなった領域は、dose量が不足している状況と同様に連続した埋込み酸化膜が形成されないと考えられる。

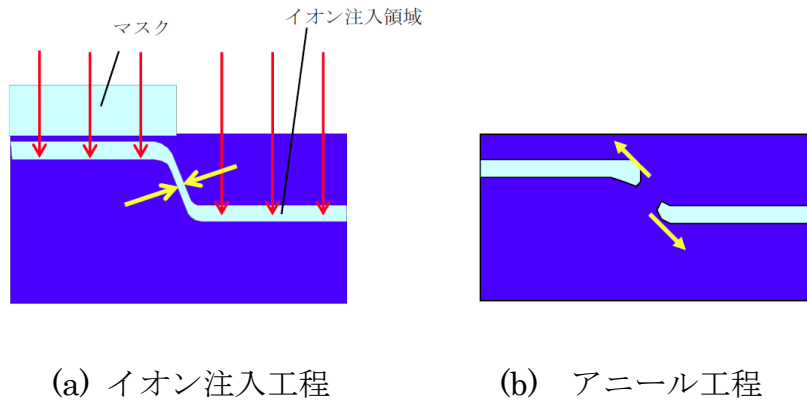


図4-11 マスク端における埋込み酸化膜分断の説明

TEM 形状写真(図4-10)の○印をつけた部分に結晶欠陥が観察されていることから、Secco Etchingによる結晶欠陥評価を行った。Secco Etchingを行った試料の表面観察結果を図4-12に示す。50nm厚のマスク条件には欠陥は観察されず、150nm厚のマスク条件においてはマスクパターンに沿った連続的な欠陥が観察された。そして100nm厚のマスク条件においては、ところどころに欠陥が観察されたことから、欠陥の位置を図中に矢印で示した。Secco Etchingにより検出された欠陥はTEM写真で観察されている埋込み酸化膜層の分断された位置に優位に形成されていることが示唆される。このことから、パターンSIMOXにおいては埋込み酸化膜が分断された位置には、基板が割れていない場合であっても欠陥が優位に形成されるので、分断のない連続した埋込み酸化膜層を作製することが必要であることがわかる。

欠陥はパターンに沿って形成されていることから、欠陥の評価を行うための関数としては、面積ではなくパターンの長さ当たりにカウントすることが望ましいと考える。

150nm のパターンこの欠陥の評価において欠陥はすべてマスクのパターンに沿って観察されているので、カウント不可能であるとした。

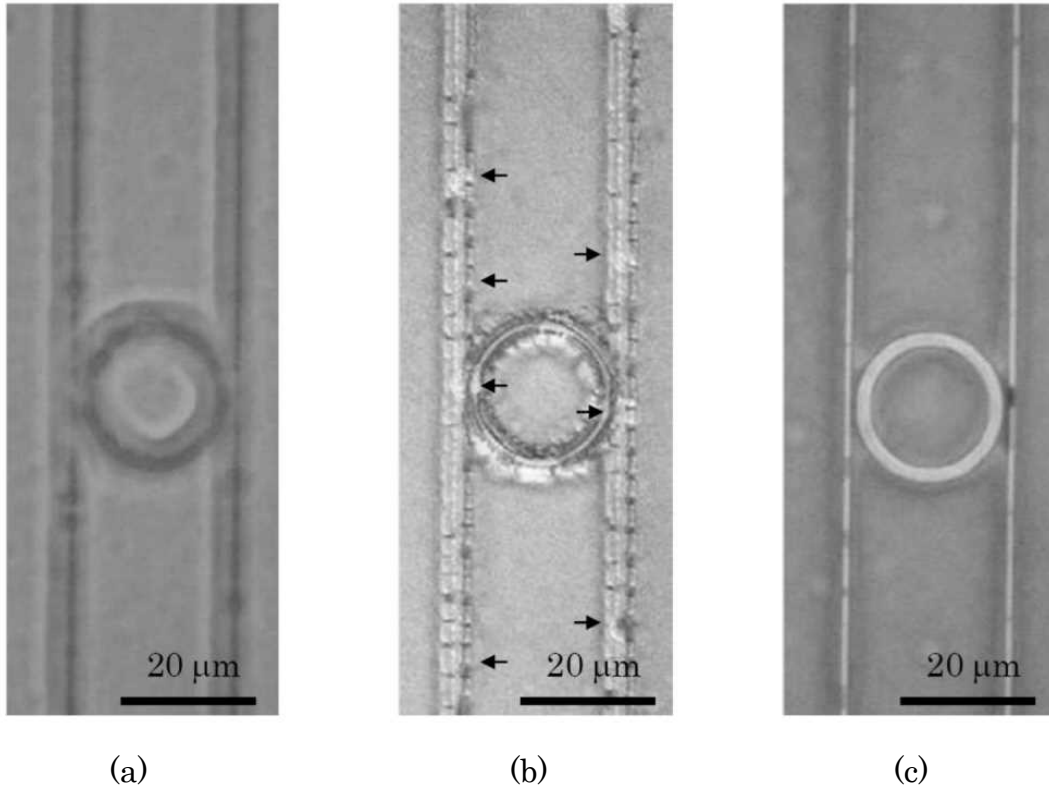


図4-12 基板表面の欠陥位置観察結果  
(4章5節の製作プロセス)

- |                |                         |                       |
|----------------|-------------------------|-----------------------|
| (a) マスク厚:50nm  | 欠陥なし                    | $<4.7 \times 10^1/cm$ |
| (b) マスク厚:100nm | 欠陥密度                    | $3.3 \times 10^2/cm$  |
|                | 埋込み酸化膜分断位置に欠陥形成(矢印で示す。) |                       |
| (c) マスク厚:150nm | カウント不可能な連続欠陥            |                       |

#### 4-5-4 埋め込み酸化膜の厚さムラについての考察

図4-13にマスク厚が100nmの条件で、埋込み酸化膜が分断していない部分の埋込み酸化膜の厚さを測定した結果を示す。

この写真は、へき開した断面をSiO<sub>2</sub>エッチング液(BOE: buffered oxide Etcher)に20sec.程度浸し、SiO<sub>2</sub>部分のみをエッチングすることにより凹凸を与えた後にSEMにより断面観察したものである。この観察方法においては、SiとSiO<sub>2</sub>の境界部分においてSiがシャープな形状になるので、SEM観察時に電荷のチャージアップが生じ白線となる。

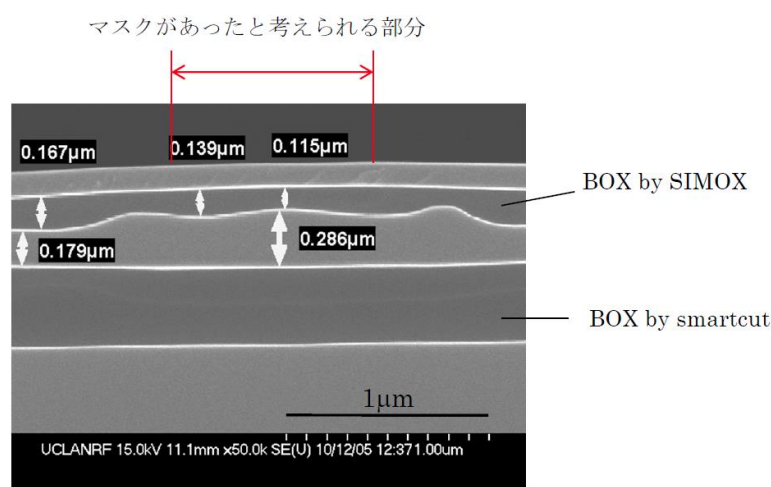


図4-13 マスク厚:100nmの場合の断面観察結果(SEM)  
(4章5節の製作プロセス)

埋込み酸化膜がイオン注入の酸素イオンの濃度プロファイルの通りに形成され、その後のITOXアニールにより埋込み酸化膜層の厚さが均一に増すと仮定すると、埋込み酸化膜には厚さムラはなく、ほぼ105nmの厚さとなるはずである。しかし図4-13の結果は、埋込み酸化膜の厚さは想定された値よりも厚く、この観察領域においては酸化が促進されていることを示している。埋込み酸化膜厚が最も厚い167nmとなった部分は、マスクの端に近くマスクのない領域であることから、イオン注入の深さが浅いために酸化が促進されているのではなく、埋込み酸化膜形成アニール時あるいはITOX時に、マスクが存在しているなどの不均一な表面状態に起因する酸化促進現象が生じていると考えられる。

#### 4-5-5 本節の実験結果のフィードバック

マスクを用いた SIMOX 法において、埋込み酸化膜が分断されている位置には、優位的に欠陥が生じることから、表面の SOI 状態を高品質に保ちながら、表面直下に埋め込み光導波路を作製するためには、連続する埋込み酸化膜層を形成する必要がある。

マスクを用いた SIMOX 法においては、ITOX 現象は単純に埋込み酸化膜厚を一様に厚くしない可能性がある。ITOX 工程時においてイオン注入時におけるマスクのはく離がなされていないと、マスク直下の酸化を妨げるとともに、基板内部に応力分布を発生させる可能性があるため、マスクはイオン注入工程後に除去されることが望ましい。

#### 4-6 標準イオン注入量における ITOX アニールの影響

本節においてはパターン SIMOX 法における埋め込み酸化膜の分断現象に注目し、その分断現象が、イオン注入工程に起因しているのかあるいはその後の ITOX 工程に起因しているのかを判別することを目的とした。ITOX の条件を、通常の ITOX 工程、ITOX の効果を弱めた工程、さらに ITOX を行わない工程の 3 条件とした。またアニール時に保護膜を形成する条件を加えることにより、外部からの酸素供給を一様に妨げる条件も検討した。また前節の結果を受けて、イオン注入時のマスクをアニール前に除去する工程を行うこととした。

#### 4-6-1 プロセス工程および検討条件

本節におけるパターン SIMOX のプロセスフローを図 4-14 に示す。イオン注入後のマスクの除去工程は Siltronic Japan 社にて行った。また外部からの酸素供給を遮断し内部を保護するための保護膜として、厚さ 1 $\mu$ m の低温 CVD 法による酸化膜 (Low Temperature Oxide: LTO) を形成する工程の有無を、マスクパターンの除去工程後にパラメータとして与えた。ITOX については、通常 ITOX を行う条件とともに、酸化量が通常よりも少ない条件とした低温 ITOX、さらには ITOX アニールなしという 3 つのパラメータを与えた。マスクの厚さは、100nm、125nm、150nm の 3 条件とした。ここで 50nm の条件を削除した理由は、50nm は連続 BOX 条件がすでに得られているためである。また 125nm の条件を追加した理由は、100nm と 150nm の間で段差部分の連続性が得られる条件があるかどうかを調べるためである。Appendix 1 に得られた断面観察結果を示す。これら図においては、マスク厚の違いおよび ITOX の効果を比較するために、マスクの幅ごとにそれぞれのデータを示した。



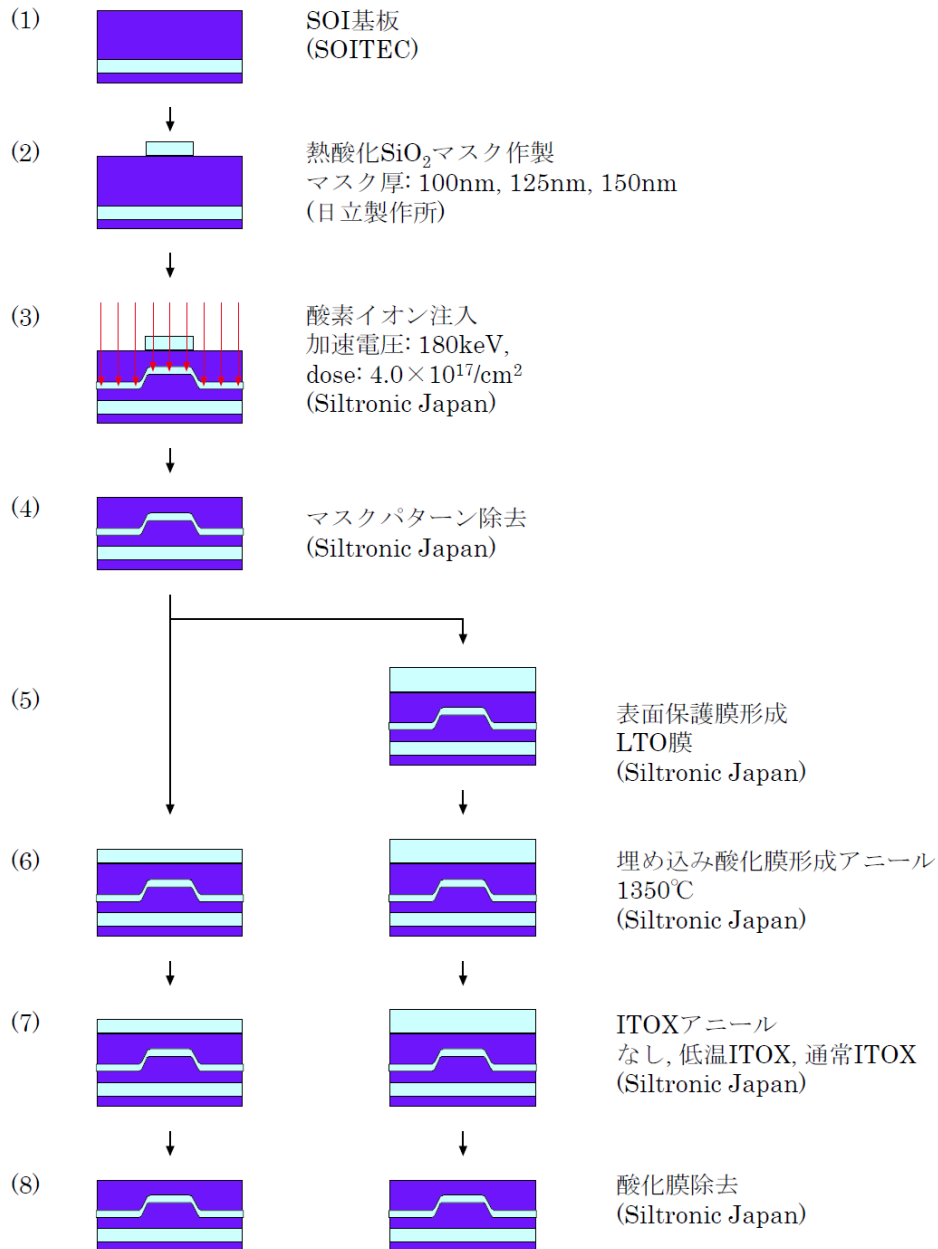
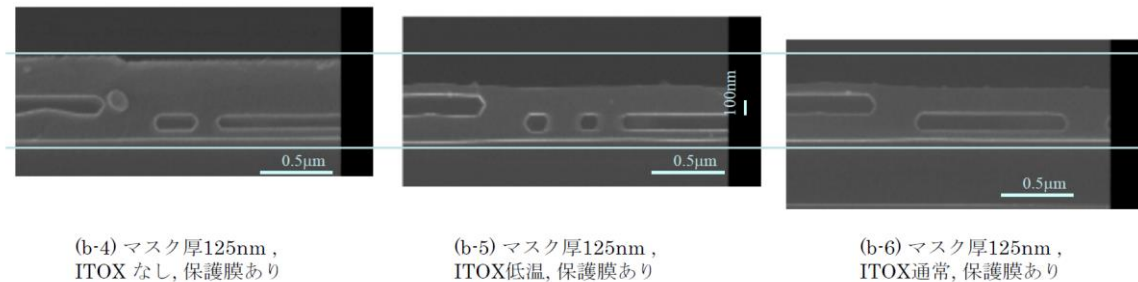


図4-14 マスクパターン除去工程と表面保護膜を導入したパターンSIMOX法による埋込み光導波路作製プロセス

#### 4-6-2 表面保護膜(LTO膜)の影響についての考察

LTO膜よりなる表面保護膜を形成しITOXアニールを行なった場合は、ITOXを行っていない場合と比較してSOI厚が薄くなっていた。図4-15に代表的な結果を示す。この結果から、低温ITOX、通常ITOXのいずれのITOX工程においてもLTO

膜は酸化防止としての役割を果たしていないと考えられる。ただし(a)に示した埋込み酸化膜形成アニール条件のみを行った条件においては、イオン注入時の段差はほぼ垂直に切り立った状態で存在しているので、埋め込み酸化膜形成アニール工程においては、酸化防止作用が機能していると考えられる。



(a) ITOX なし      (b) 低温 ITOX 実施      (c) 通常 ITOX 実施

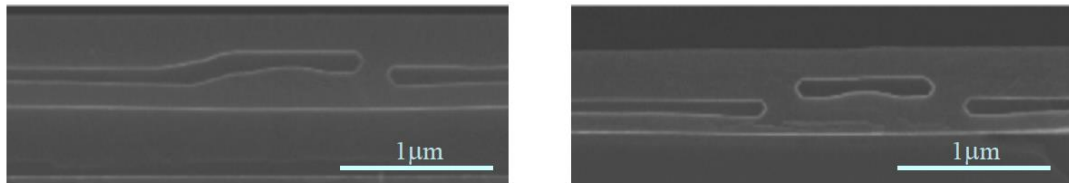
図4-15 表面保護膜(LTO膜)の効果についての断面観察結果の比較  
(Appendix 図1-2からの抜粋)

#### 4-6-3 埋め込み酸化膜の連続性および厚さの不均一についての考察

保護膜を形成していない条件においては、マスクから離れた部分において連続な埋込み酸化膜層が得られている。しかし、保護膜を形成した条件においては、マスクから離れた部分において連続な埋込み酸化膜層が得られていない。したがって保護膜を形成した条件においてはこの SIMOX 条件(加速電圧:180keV, dose 量: $4.0 \times 10^{17}/\text{cm}^2$ )は dose 量が不足であると考えられる。また図4-16(a)に例を示すようにマスク厚が 100nm の条件において片側の段差部分に連続な埋込み酸化膜層が観察される場合もあるが、マスクパターンの両側の段差が連続して得られている条件はない。図4-16(b)に代表例を示すがマスク厚が 125nm、150nm の条件においては、段差部分に連続な埋込み酸化膜層が得られる条件はなかった。

図4-17に概略図を示すが、保護膜がない条件で ITOX をおこなっている条件においては、不連続となった周囲の埋込み酸化膜が厚くなっているため、埋込み酸化膜形成アニール工程後に埋込み酸化膜が不連続になっている場合には、ITOX 工程により連続になることはなく、厚さムラを強調させる特性を有していることが示される。

埋込み酸化膜の厚さ分布の乱れは、前節の結果に比較して格段に少なくなっている。この結果は、マスクをアニール前に除去することにより、不均一な酸化はある程度抑制されたものと考えられる。



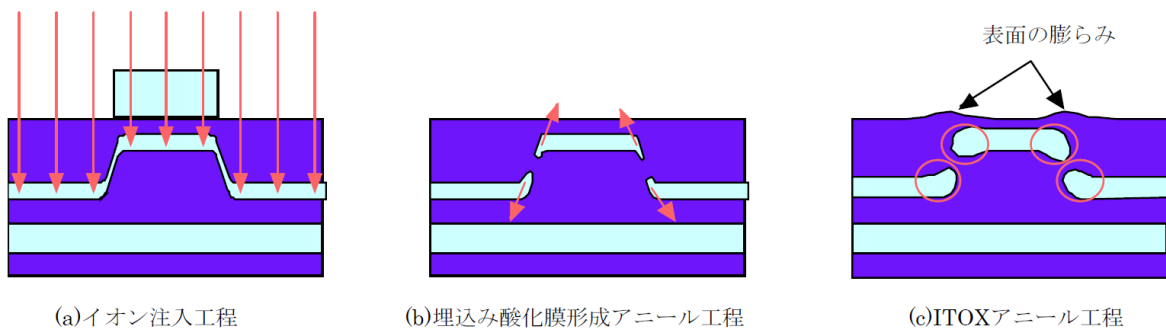
(c-1)マスク厚100nm,  
ITOX なし, 保護膜なし

(a-1) マスク厚150nm,  
ITOX なし, 保護膜なし

(a) マスク厚 100nm

(b) マスク厚 150nm

図4-16 マスク厚の違いによる埋込み酸化膜の連続性の違い  
(Appendix 図1-2からの抜粋)



(a)イオン注入工程

(b)埋込み酸化膜形成アニール工程

(c)ITOXアニール工程

図4-17 段差部分における埋込み酸化膜の分離と、その近傍における埋込み酸化膜の厚さ不均一現象

#### 4-6-4 表面の段差についての考察

図4-18(a)に代表的な実験結果を示すが、保護膜を形成し ITOX なしの条件においては、パターン上部の表面にパターン幅に応じたステップ状の段差が観察される。その幅はパターンと等しいことから、この段差はイオン注入時におけるスパッタリング現象により基板表面がエッチングされた痕跡であることを示している。また同一条件の保護膜がない条件の結果を図4-18(b)に示す。この結果においては、マスク幅が  $2.0\mu\text{m}$  の条件においてはマスクパターンの中央付近に滑らかな膨らみが観察されるが、マスク幅が  $0.5\mu\text{m}$  の条件においてはほぼ平坦な表面となっている。

図4-19にイオン注入時におけるスパッタリング現象により基板表面に形成された段差の変化についての概略説明図を示す。この段差はイオン注入を行ったすべての基板に形成されていると考えられるので、図4-19(a)に示す段差が埋め込み酸化膜形成アニールにより図4-19(b)に示す段差に変化したものと考えられる。つまり、イオン注入工程に形成された段差は、埋め込み酸化膜形成アニール工程における表面酸化現象により消失しつつあることがわかる。つまり幅が  $2.0\mu\text{m}$  の段差は幅が狭くなり、幅が  $0.5\mu\text{m}$  の段差は完全に消失していると考えられる。

また図4-20に例を示すように、保護膜なしで ITOX を行った条件においてはマスク端部分の表面が盛り上がる現象も観察されている。この現象は図4-17に示したように、ITOX 工程の酸化作用が、段差部分で埋め込み酸化膜層が分断している場合には、不均一な酸化現象が生じ、内部の体積膨張により表面の膨らみが形成されたと考えられる。

上述したように表面の段差形成には、イオン注入工程におけるスパッタリング現象と、ITOX 工程による内部の不均一な酸化現象の2つの要因があることがわかった。

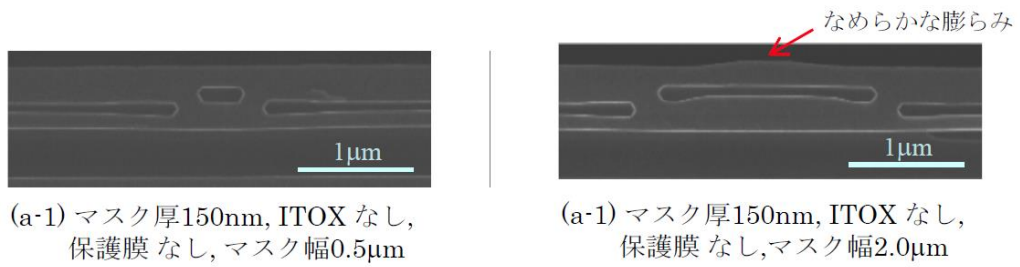
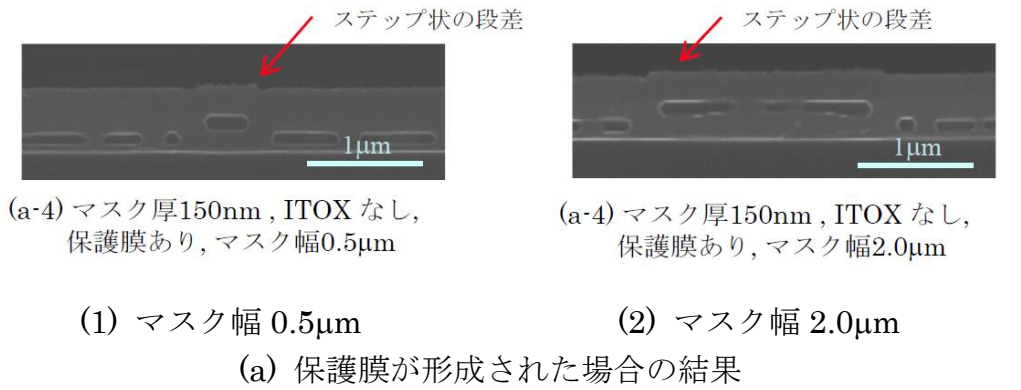


図4-18 表面の段差の観察結果  
マスク幅および保護膜の有無についての比較  
(Appendix 図1-2および図1-4からの抜粋)

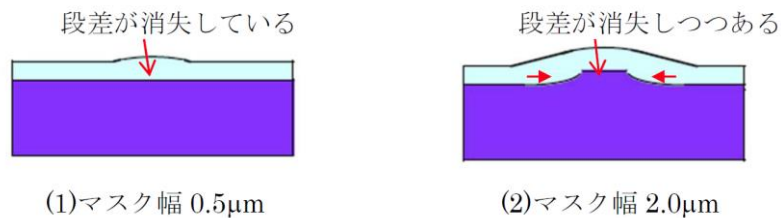
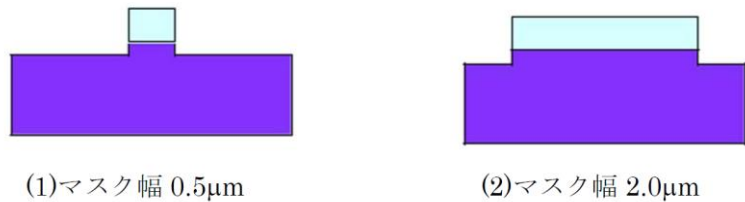
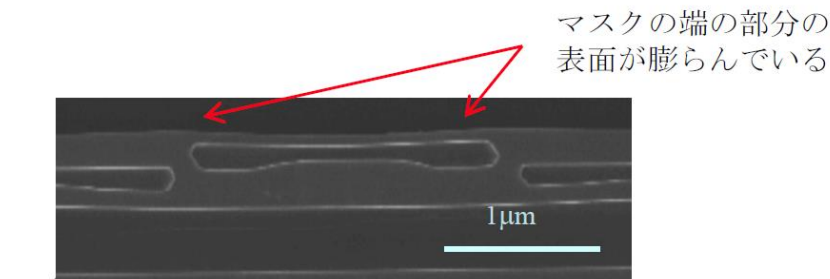


図4-19 イオン注入時のスパッタリング現象により形成された段差の拡散についての説明図



(a-3) マスク厚150nm, ITOX 通常,  
保護膜なし, マスク幅2.0μm

図4-20 基板内部の不均一酸化に起因する表面の膨らみ  
(Appendix 図1-4からの抜粋)

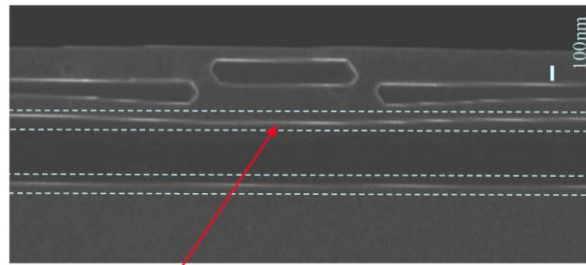
#### 4-6-5 Smartcut 法により形成された酸化膜層への影響についての考察

Smartcut 法によって形成された SOI 基板で、SIMOX 工程によって、埋込み酸化膜層がどのような影響を受けるのか考察する。図4-21に具体例としてマスク厚150nm、マスク幅1μmの条件を示す。このサンプルでは、マスク直下の部分においてSmartCut法より形成された酸化膜層の厚さが約20nm程度周囲より薄くなっている現象が観察された。

バルク Si 基板への SIMOX 工程においては、イオン注入された酸素イオンは埋込み酸化膜形成アニール工程において、イオン注入された酸素のほとんどが凝集し埋込み酸化膜層を形成することと考えられている。しかし、SOI 基板への SIMOX 工程においては、イオン注入された酸素のほとんどが SIMOX 法による埋込み酸化膜層の形成に寄与するのではなく、イオン注入された酸素イオンの一部は近くに存在する酸化膜の厚さを厚くする可能性があると考えられる。マスクの直下の酸素イオン注入プロファイルと比較して、マスクのない部分における酸素イオン注入プロファイルは SmartCut 法により形成された酸化膜層に近い位置に存在する。したがってこの実験結果は、マスクのない部分にイオン注入された酸素は、マスク直下の部分にイオン注入された酸素よりも多く、SmartCut 法により形成された埋込み酸化膜の厚さを厚くすることに寄与したものと考えられる。

そしてこの現象は、マスクのない部分においては、SIMOX により形成される埋込

み酸化膜の形成に寄与する酸素イオンがマスク直下の部分に比較して少なくなり、dose 量の不足現象が生じやすい可能性があることを示している。



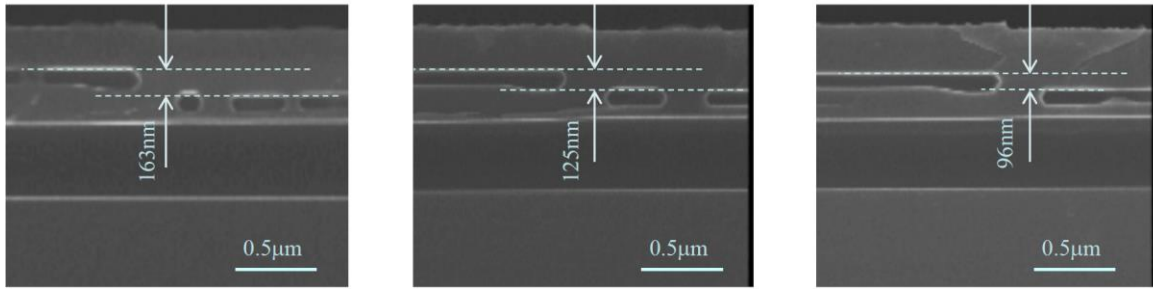
マスク直下の部分の埋込み酸化膜が、周囲に比較して20nm程度薄くなっている。

(a-3) マスク厚150um, ITOX 通常, 保護膜なし, マスク幅1μm

図4-21 SmartCut 法に形成された埋込み酸化膜への SIMOX 法の影響  
(Appendix 図1-2からの抜粋)

#### 4-6-6 マスク厚の違いによるイオン注入深さの影響についての考察

イオン注入時に形成されているマスクの厚さの違いにより、イオン注入時にどの程度異なる位置にイオン注入されているか計測した。計測のために選定した実験結果写真を図4-22に示す。イオン注入工程以降に外部から供給される酸素の影響を最小にするために ITOX アニールを行わない条件でかつ保護膜のある条件を採用した。また分断された BOX 層の影響を除外するためにマスク幅 2.0μm の条件を選定し、マスク中央部直下の位置とマスクから遠い位置での埋込み酸化膜部分の位置の比較を行った。埋込み酸化膜の表面側の界面の位置の差は、150nm, 125nm, 100nm のマスク厚の場合それぞれ、96nm, 125nm, 163nm となった。図4-23に Tsuprem-4 によるシミュレーションの結果とともに示す。この結果より、シミュレーションに比較して実験は約 10%程度大きい結果が得られたが概ね良い一致を示している。また目標とする光導波路のリブ高さ 100nm を得るための条件は、マスクの厚さとして、100nm が適していることがわかった。



(a-4) マスク厚150nm, ITOX なし, 保護膜あり, マスク幅2.0μm

(b-4) マスク厚125nm, ITOX なし, 保護膜あり, マスク幅2.0μm

(c-4) マスク厚100nm, ITOX なし, 保護膜あり, マスク幅2.0μm

(a) マスク厚 150nm                      (b) マスク厚 125nm                      (c) マスク厚 100nm

図 4 - 2 2    イオン注入時のマスク厚と埋込み酸化膜形成位置の違い  
(Appendix 図 1 - 4 からの抜粋)

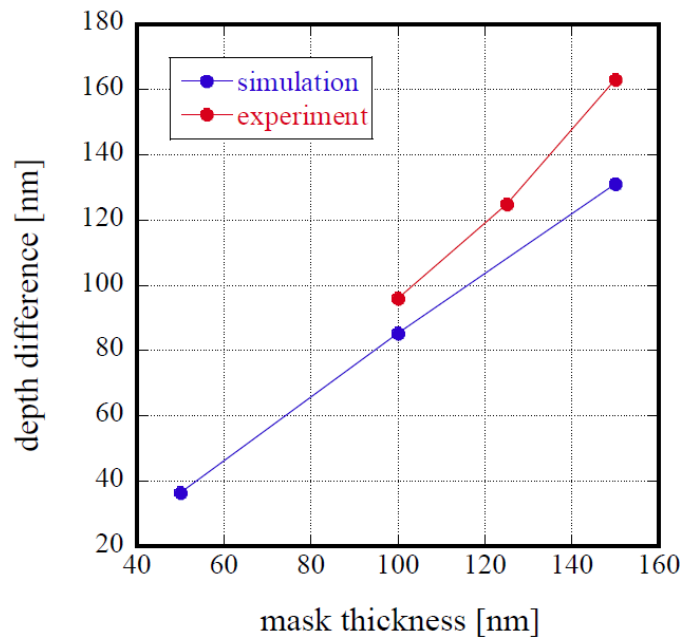


図 4 - 2 3    イオン注入時のマスク厚と埋込み酸化膜形成位置の関係



#### 4-6-7 本節の実験結果のフィードバック

本節にてパラメータを固定した dose 量  $4.0 \times 10^{17}/\text{cm}^2$  の条件下では、100nm, 125nm, 150nm のマスク厚において段差部分において連続な埋込み酸化膜層を形成することはできない。また SIMOX の埋め込み酸化膜形成アニール条件において、保護膜として LTO 膜を付した試料は、パターンのない部分においても一様に連続な埋込み酸化膜が得られていない。また分断された埋込み酸化膜の周囲の酸化膜の厚さが、ITOX 工程により増えていることにより、ITOX 工程には分断された酸化膜をつなげるという効果を有していない。したがって、マスク端部分における埋込み酸化膜の不連続は、イオン注入時の dose 量の不足に原因があるので、dose 量を高める必要がある。

また表面の段差形成には、イオン注入工程におけるスパッタリング現象と、ITOX 工程による内部の不均一な酸化現象の2つの要因があることがわかったので、イオン注入時の段差形成の防止の対応も必要である。

また SOI 基板への SIMOX 工程においては、イオン注入された酸素イオンの一部がイオン注入前に存在する埋込み酸化膜の厚さを増やすことに寄与する現象があることがわかったので、SOI 基板への SIMOX 工程においては dose 量の不足現象が生じやすい可能性があることもわかった。

イオン注入時のマスクをアニール前に除去する工程を行うことにより、埋込み酸化膜の厚さの不均一は大幅に改善したので、今後もこの工程を採用する。目標とする光導波路のリブ高さ 100nm を得るためマスクの厚さは、ほぼ 100nm であることがわかったので、次節以降ではマスクの厚さを 100nm とする。

#### 4-7 イオン注入量を増加させたパターン SIMOX

本節においては、dose 量を  $4.5 \times 10^{17}/\text{cm}^2$ 、 $5.0 \times 10^{17}/\text{cm}^2$ 、 $5.5 \times 10^{17}/\text{cm}^2$  とした検討を行った。マスク端の段差部において連続する埋め込み酸化膜層の形成と、マスクのない部分に一様に連続な埋め込み酸化膜の形成の2点に着目した検討を行った。

#### 4-7-1 プロセス工程および検討条件

図4-24に本節の内容に関する工程フロー図を示す。マスク厚を100nmとして固定した。また ITOX アニール工程については、引き続き ITOX なし、低温 ITOX、通常 ITOX の3条件を与えた。

Appendix 2 に断面観察結果を示す。これら図においては、dose 量の違いおよび ITOX の効果を比較するために、マスクの幅ごとにそれぞれのデータを示した。

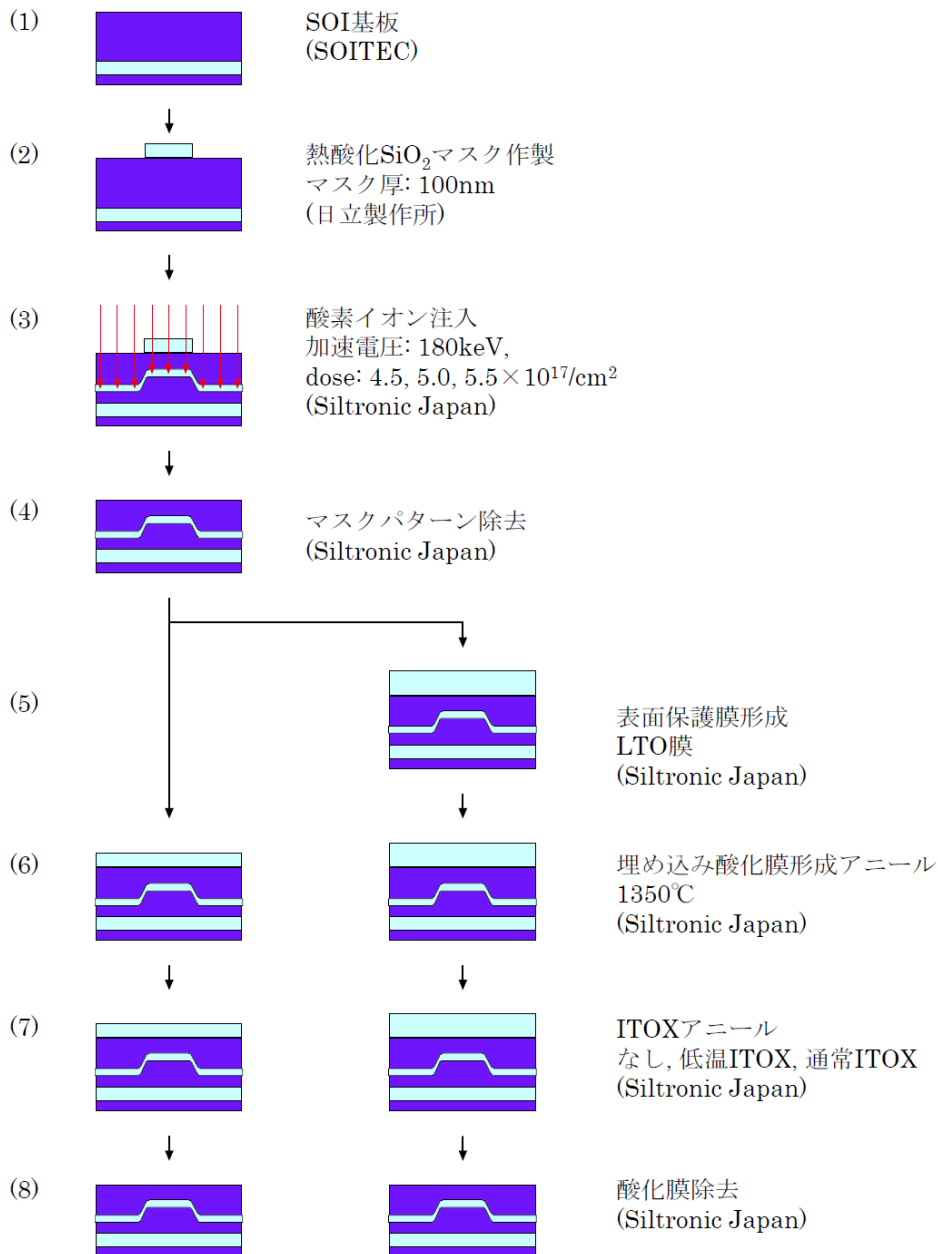
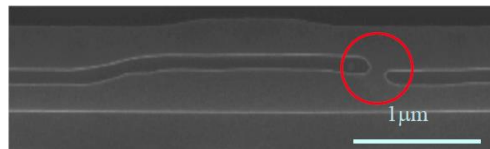


図4-24 改良パターン SIMOX 法による埋込み光導波路作製プロセス

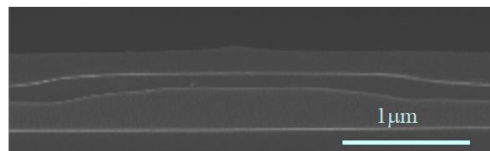
#### 4-7-2 埋込み酸化膜の連続性についての考察

アニール時の保護膜としての酸化膜がない条件においては、dose 量が  $4.5 \times 10^{17}/\text{cm}^2$  の条件の一部においてマスクの段差部分の埋込み酸化膜が不連続となっている条件があるが、その他の条件(dose 量が  $5.0 \times 10^{17}/\text{cm}^2$  および  $5.5 \times 10^{17}/\text{cm}^2$  の条件)においては段差部分においても連続な埋込み酸化膜が形成されている。図 4-25(a)に dose 量が  $4.5 \times 10^{17}/\text{cm}^2$  の条件においてマスクの段差部分の片側において埋込み酸化膜が不連続となっている結果を示し、不連続部にはマーカーを付した。図 4-25(b),(c)に dose 量が  $5.0 \times 10^{17}/\text{cm}^2$  および  $5.5 \times 10^{17}/\text{cm}^2$  の条件において連続な埋込み酸化膜が得られた代表的な結果を示す。また、マスクのない部分については、いずれの条件でも埋込み酸化膜が不連続な箇所は観察されなかった。



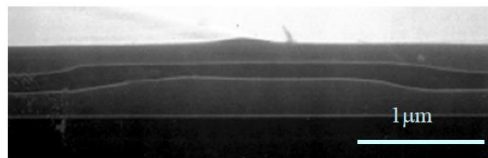
(a-1)  $4.5 \times 10^{17}/\text{cm}^2$ , ITOX なし,  
保護膜なし, マスク幅  $2.0 \mu\text{m}$

(a) dose:  $4.5 \times 10^{17}/\text{cm}^2$ (Appendix 図 2-4 からの抜粋)



(b-3)  $5.0 \times 10^{17}/\text{cm}^2$ , ITOX 通常,  
保護膜なし, マスク幅  $2.0 \mu\text{m}$

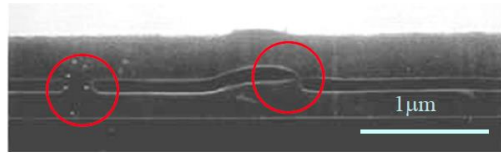
(b) dose:  $5.0 \times 10^{17}/\text{cm}^2$ (Appendix 図 2-4 からの抜粋)



(c-3)  $5.5 \times 10^{17}/\text{cm}^2$ , ITOX 通常,  
保護膜なし, マスク幅  $2.0 \mu\text{m}$

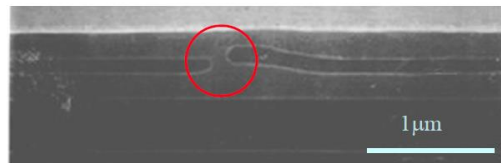
(c) dose:  $5.5 \times 10^{17}/\text{cm}^2$ (Appendix 図 2-4 からの抜粋)

図 4-25 アニール時の保護膜がない場合の代表的結果



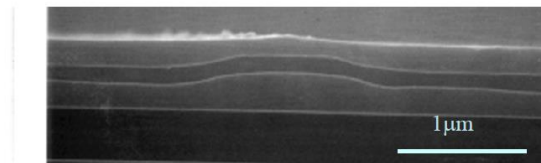
(a-4)  $4.5 \times 10^{17}/\text{cm}^2$ , ITOX なし,  
保護膜あり, マスク幅  $0.5 \mu\text{m}$

(a) dose:  $4.5 \times 10^{17}/\text{cm}^2$ (Appendix 図 2 - 1 からの抜粋)



(b-5)  $5.0 \times 10^{17}/\text{cm}^2$ , ITOX低温,  
保護膜あり, マスク幅  $0.5 \mu\text{m}$

(b) dose:  $5.0 \times 10^{17}/\text{cm}^2$ (Appendix 図 2 - 1 からの抜粋)



(c-5)  $5.5 \times 10^{17}/\text{cm}^2$ , ITOX低温,  
保護膜あり, マスク幅  $1.0 \mu\text{m}$

(c) dose:  $5.5 \times 10^{17}/\text{cm}^2$ (Appendix 図 2 - 2 からの抜粋)

図 4 - 2 6 アニール時の保護膜がある場合の代表的結果

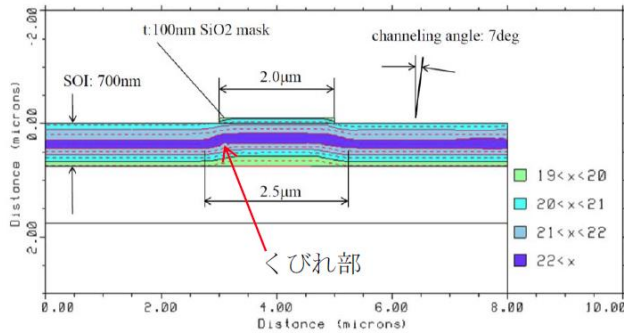
アニール時の保護膜としての酸化膜がある条件においては、 $4.5 \times 10^{17}/\text{cm}^2$  の dose 条件においては、マスクのない部分においてもところどころに埋込み酸化膜が不連続な箇所が見受けられる。したがってアニール時に保護膜を用いる場合には、 $4.5 \times 10^{17}/\text{cm}^2$  の dose は不足であると考えられる。図 4 - 2 6 (a)にマスクの段差部分およびマスクのない部分の埋込み酸化膜が不連続となっている結果を示す。

$5.0 \times 10^{17}/\text{cm}^2$  および  $5.5 \times 10^{17}/\text{cm}^2$  の dose 条件においては、マスクのない部分において埋込み酸化膜が不連続な箇所は観察されなかった。マスクの縁の部分における埋込み酸化膜の段差部分については、 $5.0 \times 10^{17}/\text{cm}^2$  の場合には、片側のみが分断している場合があるが、両側の埋込み酸化膜が分断している条件はなかった。また  $5.5 \times 10^{17}/\text{cm}^2$  の dose 量においてはすべて連続した結果となっている。図 4 - 2 6 (b)に dose 量が  $5.0 \times 10^{17}/\text{cm}^2$  の条件において段差部分の片側が不連続な埋込み酸化膜が得

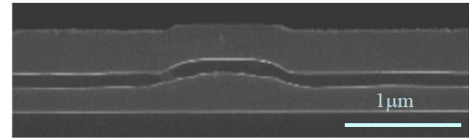
られた代表的な結果を示す。図 4-26 (c)に dose 量が  $5.5 \times 10^{17}/\text{cm}^2$  の条件において連続な埋込み酸化膜が得られた代表的な結果を示す。図 4-26 においても埋込み酸化膜が不連続となっている部分にはマーカーを付した。

#### 4-7-3 埋込み酸化膜の非対称性についての考察

アニール時の保護膜の有無にかかわらず  $4.5 \times 10^{17}/\text{cm}^2$  の dose 条件、および、アニール時の保護膜としての酸化膜がある場合の  $5.0 \times 10^{17}/\text{cm}^2$  の dose 条件において、マスク端の段差部分における埋込み酸化膜が片側で不連続となっている事例が多い。そこで、ITOX アニールを行っていない条件で両側が連続している条件を観察すると、両側が連続している試料においても埋込み酸化膜の形状は左右非対称であることがわかった。図 4-27 に(a)図 4-4 に示したシミュレーション結果と、(b)dose 量  $5.0 \times 10^{17}/\text{cm}^2$  の ITOX なしの条件で両側が連続している条件の代表的な結果とをならべて示す。この図 4-27 から双方ともに同様な非対称性を有しており、dose 量  $5.0 \times 10^{17}/\text{cm}^2$  の ITOX なしの条件においてはシミュレーション結果における  $1.0 \times 10^{22}/\text{cm}^3$  の濃度プロファイルの形状に忠実な埋込み酸化膜が形成されていることがわかる。したがって、この非対称性はチャネリングアングルに起因するものであることがわかる。埋込み酸化膜の分断が図 4-11 に示したように注入イオンの濃度の高い部分が細くなっていることに起因していると考え、片側のみで発生している埋込み酸化膜の不連続は、図 4-27 (a)において矢印にて示した片側の濃度プロファイルが一部くびれている部分で生じている可能性が高いこととなる。



(a)シミュレーション結果  
(図 4-4)



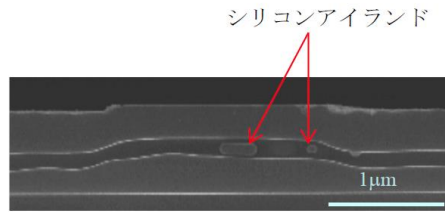
(b-4)  $5.0 \times 10^{17}/\text{cm}^2$ , ITOX なし,  
保護膜あり, マスク幅  $1.0\mu\text{m}$

(b)実験結果  
dose 量  $5.0 \times 10^{17}/\text{cm}^2$ における ITOX  
なしの条件の結果  
(Appendix 図 2-2 からの抜粋)

図 4-27 イオン注入シミュレーション分布と埋込み酸化膜形状の比較

#### 4-7-4 シリコンアイランドについての考察

Dose 量が  $5.5 \times 10^{17}/\text{cm}^2$  の条件においては、埋込み酸化膜中にシリコンが残留するシリコンアイランドが観察されている条件が複数存在した。シリコンアイランドが形成されている結果の例を図 4-28 に示す。シリコンアイランドは屈折率が 1.5 の絶縁体である酸化膜中に屈折率が 3.5 の半導体であるシリコンが島状に存在する現象である。したがって、電気的特性においては酸化膜の絶縁性を劣化させることとなり、光学的特性においてはクラッド層の屈折率を変調し光導波路の導波損失を高めることとなるので、電気的および光学的な特性にとって好ましくない。過去の SOI 基板の検討においてシリコンアイランドは dose 量が多い場合に生じる現象であるので [47]、この  $5.5 \times 10^{17}/\text{cm}^2$  という dose 量は、180keV という加速電圧条件においては多めであると考えられる。



(c-4)  $5.5 \times 10^{17}/\text{cm}^2$ , ITOX なし,  
保護膜あり, マスク幅  $2.0 \mu\text{m}$

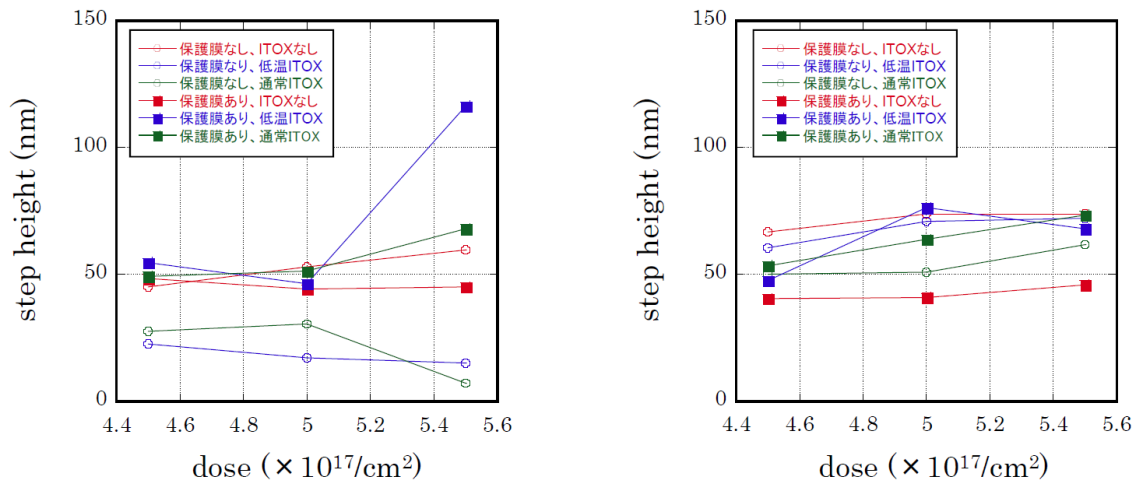
図 4-28 シリコンアイランドの形成例 (dese 量:  $5.5 \times 10^{17}/\text{cm}^2$ )  
(Appendix 図 2-4 からの抜粋)

#### 4-7-5 表面平坦性についての評価と考察

マスク幅が  $1 \mu\text{m}$  と  $2 \mu\text{m}$  の条件において、Veeco 社(<http://www.veeco.com/>)の原子間力顕微鏡(Atomic Force Microscope: AFM)を用いてマスクが形成されていた領域を含む  $50 \mu\text{m}$  の幅の表面の形状を測定し、その最大段差の高さを測定した結果を図 4-29 に示す。この結果から保護膜としての酸化膜がない条件においてはマスク幅  $1 \mu\text{m}$  の場合においては、ITOX アニールを行うことにより表面の段差が減少していることがわかる。しかし酸化膜がある条件においては、段差は減少することなく ITOX アニールを行うことにより増加の傾向にある。

マスク幅  $2 \mu\text{m}$  の条件においては、段差は dose に応じて微増の傾向を有している。この傾向は、マスク幅が  $2 \mu\text{m}$  の条件においては図 4-19 に記したようにイオン注入時のスパッタリング現象により形成した段差がその後も存続していること、そのため、イオン注入時のスパッタリング現象により形成した段差はイオン注入量が多くなるに従って高くなること、の 2 つの現象により説明を行うことができる。

半導体メーカーからの望ましい表面段差の条件は  $20 \text{nm}$  以下である。これらのことから、イオン注入時において段差が作製されないようにする対応が必要であることがわかる。



(a) マスク幅: 1 $\mu$ m

(b) マスク幅: 2 $\mu$ m

図 4-29 マスクの端部における段差測定結果

AFMにてマスクパターンがない部分の表面形状を測定した結果を、図 4-30 に示す。この結果は、イオン注入量が  $5.0 \times 10^{17}/\text{cm}^2$  の条件の試料について、マスクパターンのない表面部分の一边  $50\mu\text{m}$  の矩形領域を測定したものである。この結果より保護膜としての LTO 酸化膜がある場合にはいずれの条件においても LTO 酸化膜がない場合に比較して表面平坦性が悪化している。そして ITOX 工程を行うと表面平坦性はさらに悪化することがわかる。

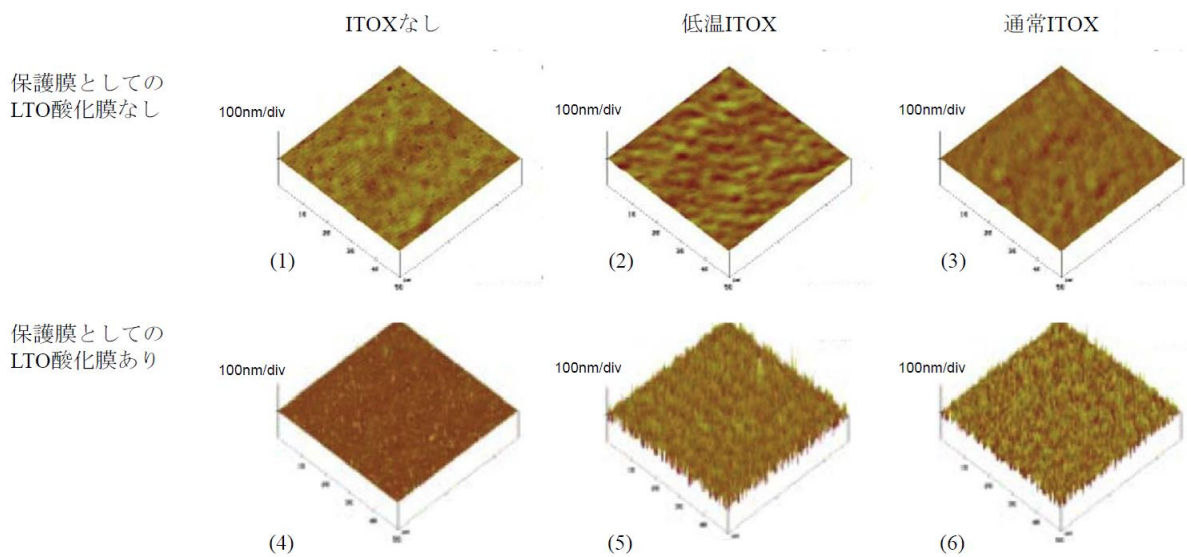
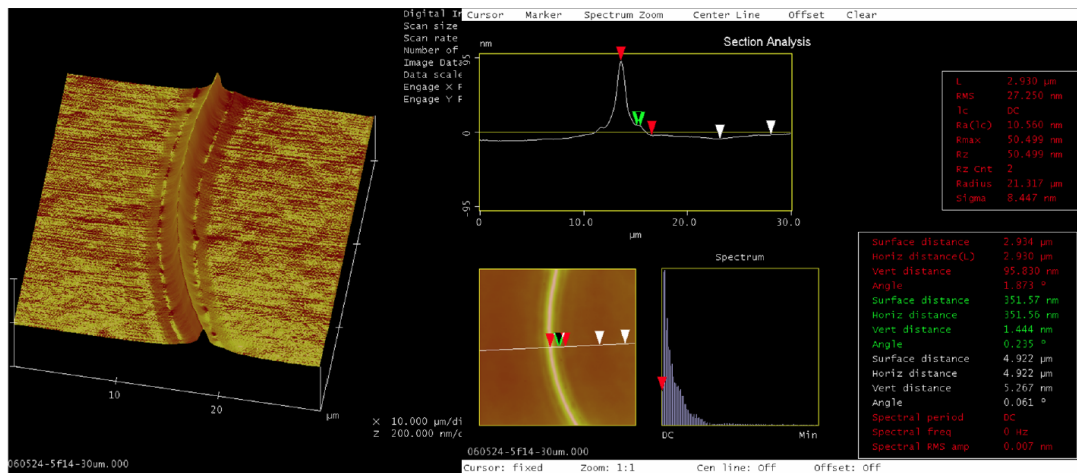


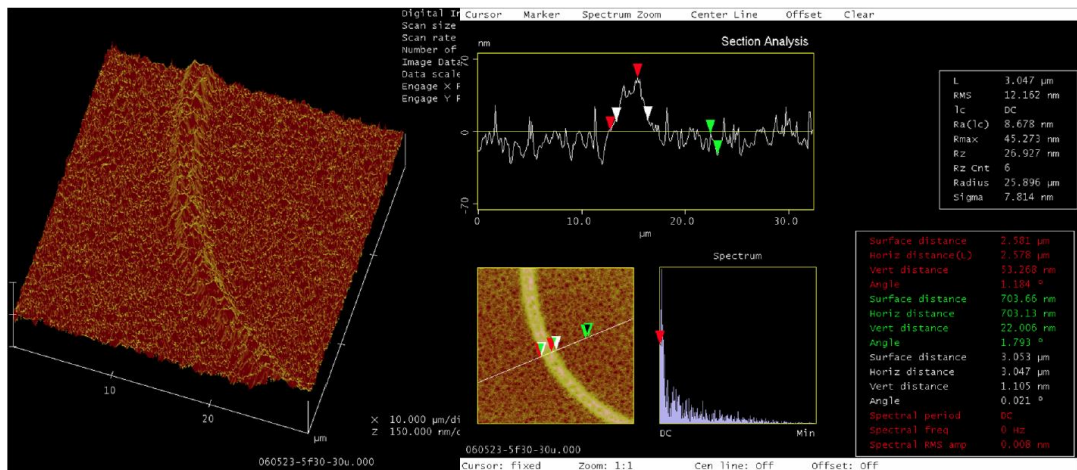
図 4-30 AFM を用いた表面状態観察結果



この表面平坦性の悪化の程度をマスクによる表面の段差と比較するために、マスクがある部分の AFM 測定結果を図 4 - 3 1 に示す。この結果から保護膜としての LTO 酸化膜がない場合には、マスクパターンのない領域には凹凸を発見することができない程度に極めてなめらかな表面平坦性となっているが、LTO 酸化膜ある場合に通常の ITOX アニールを行うとマスクの有無にかかわらず 50nm 程度の表面荒れが生成されることがわかる。



(a) LTO 酸化膜なし・通常 ITOX 条件 (dose 量: $5.0 \times 10^{17}/\text{cm}^2$ )



(b) LTO 酸化膜あり・通常 ITOX 条件 (dose 量: $5.0 \times 10^{17}/\text{cm}^2$ )

図 4 - 3 1 LTO 酸化膜の有無による表面荒れの比較

この表面平坦性の悪化の原因を調べるために TEM を用いた断面観察を行った。得られた断面写真を図 4-3 2、3 3 に示す。これらの写真の試料の条件は、dose 量: $5.0 \times 10^{17}/\text{cm}^2$  であり ITOX アニールを行っていない埋込み酸化膜形成アニールのみを行った条件である。この結果から保護膜としての LTO 酸化膜を成膜した試料においては、スタッキングフォールトの特徴である半月形状の欠陥[96]が表面に多数観察された。

一方 LTO 酸化膜を成膜していない試料の断面(図 4-3 3)には、欠陥は観察されていない。

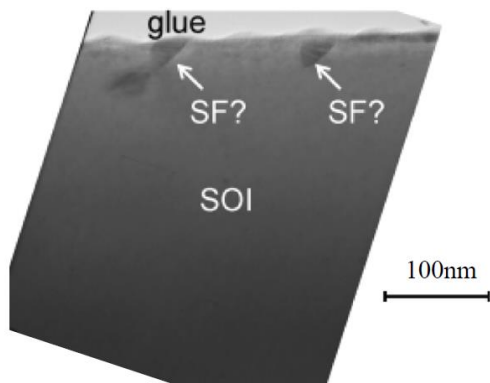


図 4-3 2 断面 TEM 観察結果 (LTO 酸化膜あり、ITOX なし)

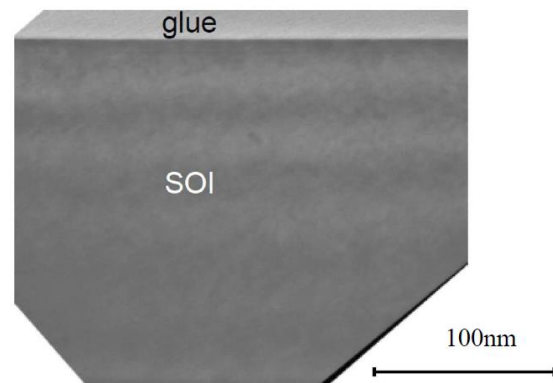
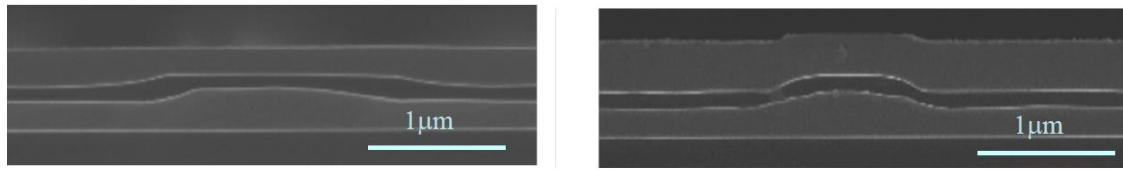


図 4-3 3 断面 TEM 観察結果 (LTO 酸化膜なし、ITOX なし)

#### 4-7-6 本節の実験結果のまとめとフィードバック

本節においては、埋込み酸化膜の連続性を得ることを目的としてイオン注入量を増加させた検討を行った。そして、埋込み酸化膜の連続性の観点から(候補 A)dose 量: $4.5 \times 10^{17}/\text{cm}^2$  で通常 ITOX 有りの条件と、(候補 B)dose 量: $5.0 \times 10^{17}/\text{cm}^2$  で保護膜を設けて ITOX アニールなしの条件の 2 つの条件が今回の条件探索において、断面形状から光導波路に適しているであろうと考えられる。候補 2 条件を比較するため図 4-3 4 にマスク幅がともに  $1\mu\text{m}$  の条件の断面形状を示す。



(a-3)  $4.5 \times 10^{17}/\text{cm}^2$ , ITOX通常,  
保護膜なし, マスク幅  $1.0 \mu\text{m}$

(b-4)  $5.0 \times 10^{17}/\text{cm}^2$ , ITOXなし,  
保護膜あり, マスク幅  $1.0 \mu\text{m}$

(a)候補 A

(b)候補 B

図 4-34 埋込み光導波路作製条件としての候補 2 条件

上記の 2 条件を比較すると、図 4-34 (a)に示す候補 A の条件は、光導波路の幅がマスクの幅に比べて横方向に広がった形状となっている。このことは、光導波路の実装密度を高めにくいこととなる。また図 4-34 (b)に示す候補 B の光導波路は、イオン注入プロファイルに忠実であるので、シミュレーションによる形状予測を行い易いという特徴を有している。

そこで著者は、光導波路の実装密度を高めることは、横方向の結合もファンクションに加えることができることとなるので、将来的に光回路としてのファンクションを増やすことに有利であると考え、候補 B の dose 量:  $5.0 \times 10^{17}/\text{cm}^2$ ・ITOX のなしの条件をもとに、これを最適化することとした。

最適化するための課題として下記の 3 つ掲げた。

- ・埋め込み酸化膜の左右非対称性の改善
- ・保護膜の変更による表面欠陥の低減
- ・イオン注入時の表面への段差形成の防止

次節においてはこれら課題の対策を行い、目的とする光導波路形状を得る検討について記す。

#### 4-8 プロセス条件の最適化

本節では、前節までの検討で得られた結果から掲げた 3 つの最適化に必要な課題についての対策を個別に行った結果を述べる。さらにそれぞれで得られた対策を組み込んだフローによりパターン SIMOX 法による埋込み光導波路の作製結果を示す。

#### 4-8-1 埋め込み酸化膜の左右非対称性の低減

イオン注入工程の非対称性を改善するために、 $1.25 \times 10^{17}/\text{cm}^2$  のイオン注入量ごとに基板を 90 度ずつ回転させ、合計で  $5.0 \times 10^{17}/\text{cm}^2$  のイオン注入量とすることにより、光導波路断面における非対称性を改善する検討を行うこととした。図 4-35 に、目標 dose 量の 1/4 ごとに基板を 90 度ずつ回転させた場合のイオン注入量の分布を色の濃淡で模式的に示した。4 回とも同じ深さにイオン注入される領域、すなわちイオン注入角度を回転させてもイオン注入量の影響を受けない領域は、マスクからはなれた領域、およびマスクの中央直下の領域となっている。しかし、マスクの縁部分のイオン注入領域の段差部分は、イオン注入角度によりマスクを介してイオン注入される領域と、マスクを介すことなく直接イオン注入される領域が存在するので、イオン注入の濃度プロファイルがぼやけることとなる。

図 4-4 に示したシミュレーション結果における非対称性は、50nm 程度であるので、想定しているマスク幅である  $1\mu\text{m}$  よりも 1 桁以上小さく、このイオン注入領域がぼやけることによる問題は無視できると考えた。

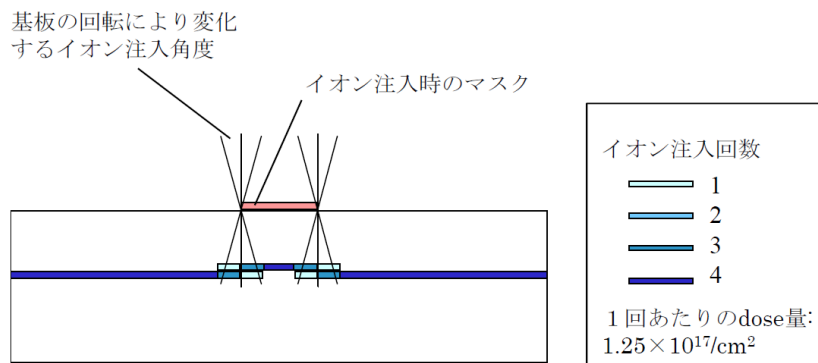


図 4-35 イオン注入時に目標 dose の 1/4 ごとに基板を 90 度ずつ回転させた場合のイオン注入量

#### 4-8-2 保護膜の検討

保護膜として LTO を形成したシリコン基板の表面に **stacking fault** と考えられる欠陥が形成されたので、LTO に替わる保護膜を探す検討を行なった。検討に供した

保護膜は日立製作所の CMOS ラインに使用可能な材料から選定した。通常のトランジスタ作製工程には 1350°Cの熱処理工程は存在しないので、評価を行なった膜に関して、酸化防止性、欠陥発生などの基板への影響に関する知見はなかった。

表 4-3 に検討に供した保護膜の一覧を示す。評価項目は 1350°Cでの酸化防止性と、埋込み酸化膜形成アニール工程および通常 ITOX 条件を行なった後の基板表面の表面荒れである。下記に酸化防止性と表面荒れについての評価方法を記す。

#### (1)酸化防止性評価

350nm 厚の SOI 基板に評価を行う保護膜の成膜を行った後、1350°Cの埋込み酸化膜形成アニール工程を行う。アニール工程を終えた後に、評価膜をはく離して SOI 厚を光学的に測定する。SOI 厚が減少していなければ 1350°Cでの酸化防止性能を有していることとなる。またリファレンスとして保護膜を成膜していない SOI 基板を同時にアニール工程に投入した。

#### (2)表面荒れ評価

350nm 厚の SOI 基板に評価を行う保護膜の成膜を行った後に、1350°Cの埋込み酸化膜形成アニール工程のみを行なった基板と、1350°Cの埋込み酸化膜形成アニール工程後に通常 ITOX を行なった基板の表面を評価膜をはく離後に AFM により 50μm□の領域を測定し表面粗さの RMS 値を得る。

表 4-3 評価に供した保護膜候補材料

膜名	成分	製法	膜厚(nm)	成膜温度(°C)	備考
NSG	SiO <sub>2</sub>	常圧CVD	465	500	NSG:ノンドープシリケートガラス
HDP	SiO <sub>2</sub>	高密度プラズマCVD	370	700	
CVD-SiO	SiO <sub>2</sub>	減圧CVD	500	800	
CVD-SiO	SiO <sub>2</sub>	減圧CVD	200	700	
LP-SiN	SiN	減圧CVD	140	800	下地処理として10nmの熱酸化SiO <sub>2</sub> 膜必要

表 4-4 保護膜評価結果

評価膜				酸化防止性評価		表面荒れ評価		
膜名	成分	膜厚(nm)	成膜温度(°C)	SOI厚(nm)	酸化防止性	RMS(nm) 1350°C	RMS(nm) 1350°C+ITOX	表面荒れ特性
NSG	SiO <sub>2</sub>	465	500	340	○	0.96	1.15	△
HDP	SiO <sub>2</sub>	370	700	340	○	0.72	0.99	○
CVD-SiO	SiO <sub>2</sub>	500	800	345	○	1.16	1.04	○
CVD-SiO	SiO <sub>2</sub>	200	700	325	×	0.48	0.81	○
LP-SiN	SiN	140	800	350	○	1.96	1.88	×
膜なし				310		0.57	0.96	

表 4-4 に保護膜の評価結果を記す。200nm 厚の CVD-SiO 膜は、1350°C の埋込み酸化膜形成工程に際して、SOI 厚が減少しており、十分な酸化防止性を有していない。表面荒れ評価については、いずれの膜も表面粗さの数値が LTO 膜に比較して小さくなっているが、リファレンスとした成膜を行っていない基板の数値(アニール 2 工程終了後 0.96nm)に比較して、LP-SiN 膜は倍程度の数値(1.88nm)となっていたのでこの点において、不相当と判断した。また NSG については、リファレンスの基板に対して少々劣っているので、△とした。

2 つの評価結果を合わせると、HDP 膜と 500nm 厚の CVD-SiO 膜の 2 つを用いることが適当である。この 2 つの膜を比較すると HDP 膜のほうが成膜温度が低いので、基板に与える影響が少ないと考え、HDP 膜を選択することとした。

#### 4-8-3 イオン注入工程における保護膜の付与

イオン注入時のスパッタリング現象によりシリコン基板の表面が約 20nm 程度削れていることが判明した。スパッタリング現象により Si 部分に段差が形成されることを防止するため、イオン注入時にスパッタリング防止用保護膜をマスクパターンの上に付加することとした。図 4-36 にスパッタリング防止用保護膜の概要図を記す。マスク保護膜は CVD-SiO 膜を用いその厚さは 40nm とした。

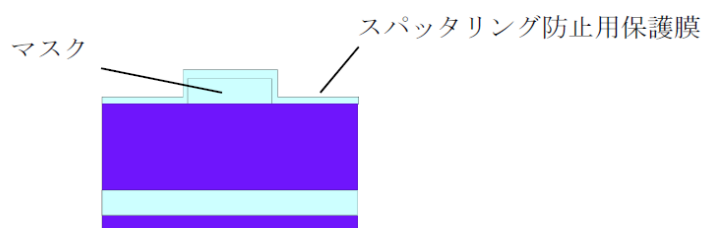


図 4-36 イオン注入時のスパッタリング保護膜の形成図

#### 4-8-4 検討結果

図4-37に上記3つの対策を組み込んだプロセス工程フローを示す。

1350°Cの埋込み酸化膜形成アニール後の ITOX アニールは行わないこととしている。

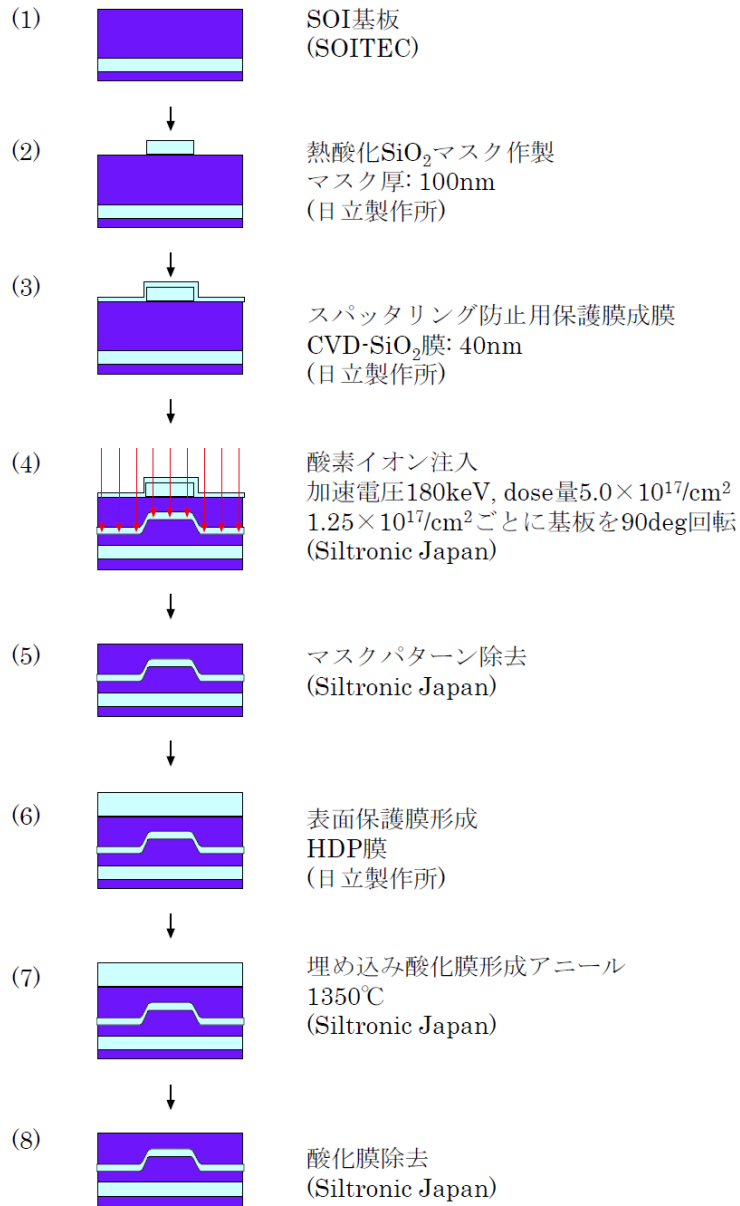
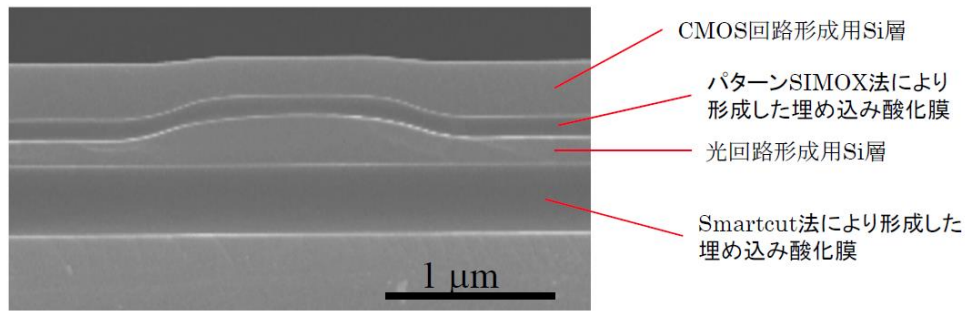
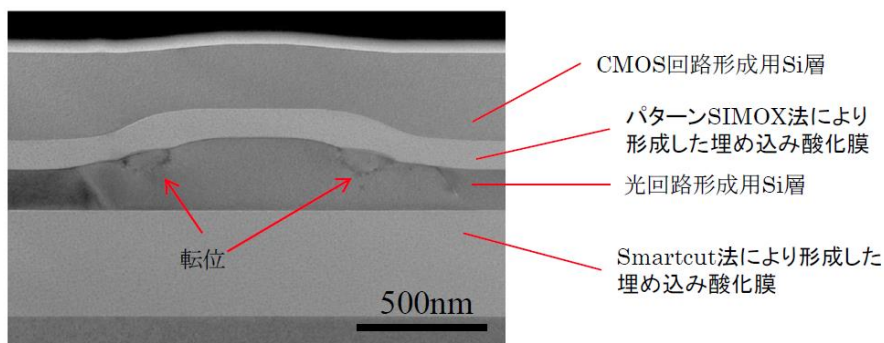


図4-37 最適化したパターン SIMOX 法による埋込み光導波路作製プロセス

図4-38に図4-37に示した工程フローにより作製したパターン SIMOX 基板の断面観察結果を記す。



(a) SEM による断面観察結果



(b) TEM による断面観察結果

図 4-38 パターン SIMOX による埋込み酸化膜の断面観察結果

図 4-38 (a) に示した写真はマスク幅  $1\mu\text{m}$  のパターン SIMOX による埋込み酸化膜を、基板へき開面を BOE にてエッチングした後の SEM により断面観察を行なった結果である。また (b) は、マスク幅  $0.5\mu\text{m}$  の部分の断面観察を TEM により行なったものである。

これらに示した結果から、表面の CMOS 集積回路用 Si 層は欠陥のない単結晶が得られている。また Secco Etching 法によりこの基板表面の欠陥密度を評価した結果、欠陥密度は  $7.5 \times 10^2/\text{cm}^2$  であった。この数値は、 $22\text{nm}$  の CMOS デザインルールに対応する 2011 年発行の ITRS において極めて欠陥密度が低いレベルとされるしきい値  $1.0 \times 10^4/\text{cm}^2$  の欠陥密度を大きく下回り、目標とする結晶品質が得られたことを示している。

埋込み酸化膜についても、連続で対称性のある形状が得られている。図 4-38 (b)



に示した写真からマスク幅が  $0.5\mu\text{m}$  の条件においてもリッジ型の光導波路が形成されていることが確認される。表面から第 2 層目の光回路用 Si 層については、TEM 写真に示すように転位の形成が確認されるが、表面の CMOS 集積回路用 Si 層には影響を及ぼしていない。

ここで、光回路用 Si 層の結晶品質について述べる。

SOI 基板上に形成された光導波路の伝搬損失に関して、Zinke, Ang, Reed らにより、dose 量が  $1.8\sim 2.0\times 10^{18}/\text{cm}^2$  程度の high dose SIMOX 法により作製された SOI 基板を用いて、SOI 基板の作製方法についての議論がなされている[97-99]。dose 量が  $2.0\times 10^{18}/\text{cm}^2$  程度の high dose SIMOX 法により形成された基板の欠陥密度は  $2\times 10^8/\text{cm}^2\sim 1\times 10^9/\text{cm}^2$  程度であるが[100]、波長  $\lambda=1.523\mu\text{m}$  の光を伝搬させた場合の伝搬損失を測定した結果として  $0.14\text{dB}/\text{cm}$  が報告されている[99]。そして、high dose SIMOX 法により形成された SOI 基板、BE-SOI 基板、ZMR-SOI (Zone-Melting Recrystallized Silicon-on-Insulator) 基板、SmartCut 基板の各 SOI 基板に形成した光導波路の伝搬損失は同程度であるとしている[97-99]。

dose 量が  $1.6\times 10^{18}/\text{cm}^2$  の high dose SIMOX 法により形成された SOI 基板(欠陥密度は  $1\times 10^9/\text{cm}^2$ )の透過型電子顕微鏡写真を図 4-39 に示す[101]。また、Reed らは、high dose SIMOX 法により形成された基板であっても、シリコン基板中の欠陥は、Si-SiO<sub>2</sub> の界面の形状に影響を与えない限り伝搬損失には影響を与えないとしている[102]。

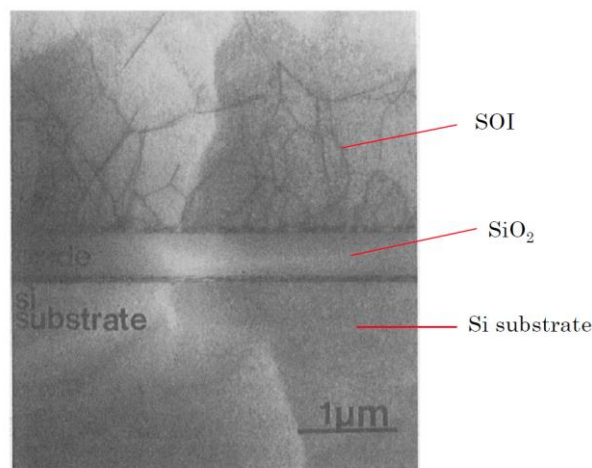


図 4-39 high dose SIMOX 法により形成された SOI 基板の透過電子顕微鏡写真[101]

図4-39と図4-38に示した本研究の光・電気集積回路用基板 ( $5.0 \times 10^{17}/\text{cm}^2$  の dose 量を用いたパターン SIMOX 法を適用)の透過型電子顕微鏡写真を比較すると、本研究の光回路用 Si 層は、high dose SIMOX 法により形成した SOI 基板(欠陥密度が  $1 \times 10^9/\text{cm}^2$ )よりも一様なコントラストを有し、欠陥も少ないことから、結晶品質が優れていることがわかる。したがって、本研究で開発したパターン SIMOX 法で形成した光回路用 Si 層の結晶品質は、光導波路損失には大きな影響を与えないといえる。

表面平坦性については、マスクがあった部分がマスクのない領域に比較して約 35nm 程度膨らんでいるが、なめらかであり局所的な段差としては 20nm の段差に値しない、とのコメントを半導体メーカーから得ている。またマスクのない領域は極めて平坦であり 20nm 以上の膨らみも見当たらないので、基板の表面平坦性は CMOS 集積回路を作成するに際して十分な性能を有している。

#### 4-9 パターン SIMOX 法による埋込み光導波路作成技術の適用先

本節においては、パターン SIMOX 法による埋込み光導波路の適用事例および可能性のある適用例を記し、本研究の応用範囲を記すとともにその特徴についても記す。

##### 4-9-1 低導波損失光導波路

パターン SIMOX 法による埋込み光導波路は、上述したように 1350°C という極めて高温のアニール処理による Si の酸化膜形成工程を介して作製される。したがって、光導波路のコア層となる Si とクラッド層となる  $\text{SiO}_2$  との界面は、エッチング後に  $\text{SiO}_2$  を成膜した界面に比較して、平滑性が高いことが期待される。

カリフォルニア大学ロサンゼルス校において、著者がコンタクトアライナーを用いて作製した  $\text{SiO}_2$  マスクを用いて作製したパターン SIMOX 法による埋込み光導波路の導波損失と、Zinke らにより測定された SOI 基板上の形成したリブ型光導波路の導波損失[97]とを比較した結果を図4-40に記す。2011年の時点においては、ステッパー露光を用いて作製した光導波路[18]が多々出現しているので、導波損失はさら

に低減されているが、ステッパーではない装置を用いた光導波路同士の比較において図4-40に示すように低導波損失の光導波路が形成されているので、光導波路のコア層となる Si とクラッド層となる SiO<sub>2</sub>との界面は、エッチング後に SiO<sub>2</sub>を成膜した界面に比較して、平滑性が高く光導波路の形成に適していることを示している。

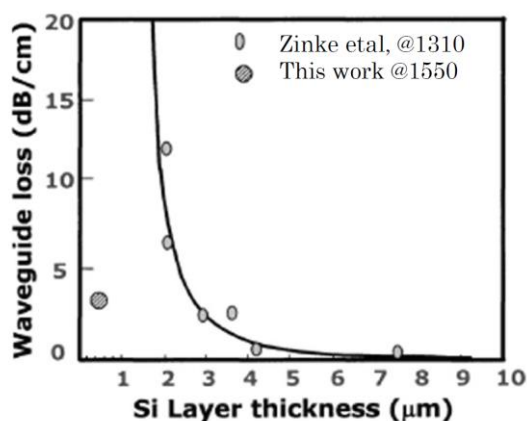


図4-40 光導波路の導波損失比較

#### 4-9-2 光—光結合実験

光導波路と光導波路との結合を行うには、2つの光導波路を近接させて配置することにより相互の光導波路間でのエネルギーのやり取りを行う必要がある。パターンSIMOX法により埋込み光導波路を形成し、表面にリブ型あるいはストリップ型の光導波路を形成すると、光回路を深さ方向に2層積層した光結合に適した3次元構造の光導波路を実現することができる。

図4-41にマイクロリング共振器構造を例として、3次元構造の光導波路と2次元構造の光導波路との比較図を記す。本研究の埋込み光導波路は表面のCMOS集積回路用Si層と約100nmの厚さのSiO<sub>2</sub>層を介した光回路用Si層に形成されているので、表面のCMOS集積回路用Si層に光導波路を形成すると、図4-41(a)に記すようなgapが100nmの3次元構造光導波路が容易に形成できることとなる。図4-41(b)に記す2次元光導波路においては光導波路の間隔(gap)を安定に100nmとすることは容易でない。

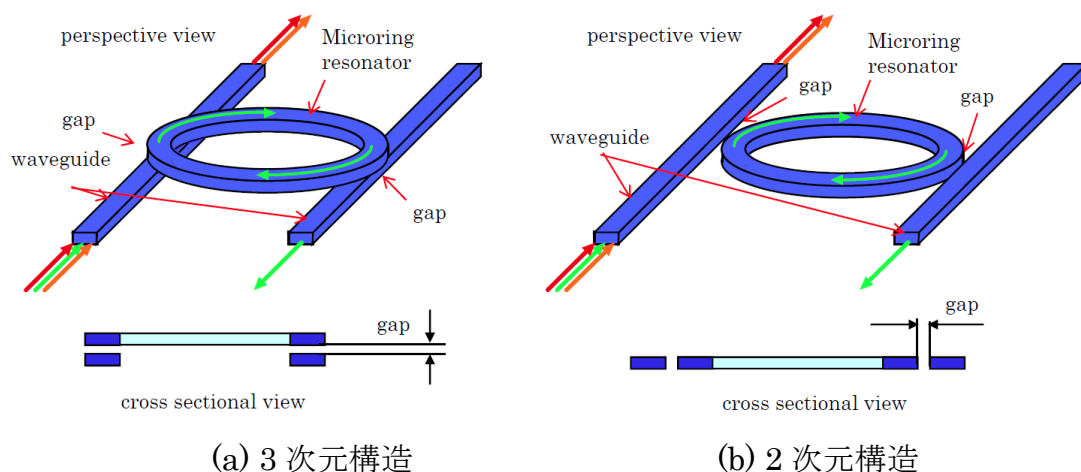


図4-4-1 マイクロリング共振器構造における2次元構造と3次元構造比較

パターン SIMOX 法により直線形状の埋込み光導波路を作製した基板の CMOS 回路用 Si 層に円形構造のマイクロリング共振器を形成した3次元光導波路構造のフィルター特性[103]を図4-4-2に示す。このマイクロリング共振器は 10300 という高い Q 値を得ることに成功している。またこのフィルター特性は、50nm という広い波長範囲にわたって安定な特性を有していることから、均一に形成された 100nm の gap を有する三次元光導波路構造が安定な光-光結合をもたらしていることがわかる。

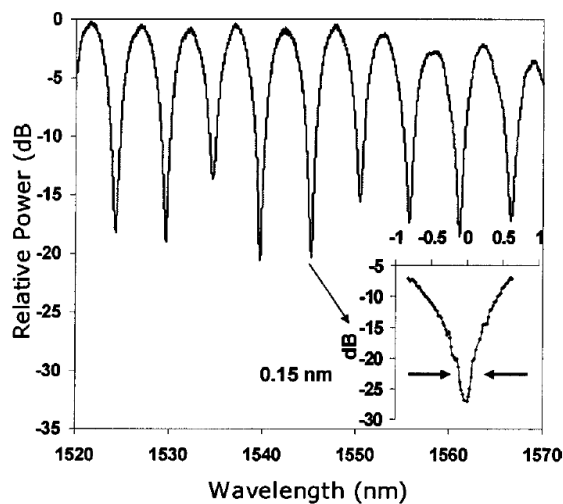


図4-4-2 基板厚さ方向の光導波路結合を用いた波長フィルターの結果[103]

### 4-9-3 光・電気集積回路作製実験

パターン SIMOX 法により作製した埋込み光導波路よりなる光回路[104]の上部の CMOS 集積回路用 Si 層に MOS トランジスタを形成し動作確認を行なった適用例 [105]を図 4-4-3、4-4 に示す。図 4-4-3 は光回路層に形成された 2 次元構造のマイクロリング共振器の直上に、MOS トランジスタを形成しその動作確認を行ったデバイスの写真であり、図 4-4-4 はそのトランジスタの動作特性である。この MOS トランジスタの動作確認により CMOS 集積回路形成前の EPIC の原理確認がなされた。

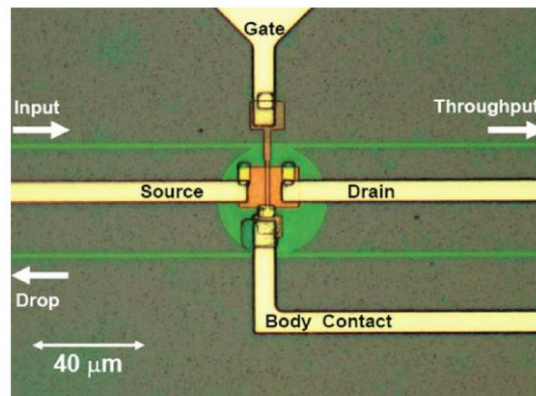


図 4-4-3 埋込み光導波路回路の上部に形成したトランジスタ外観[105]

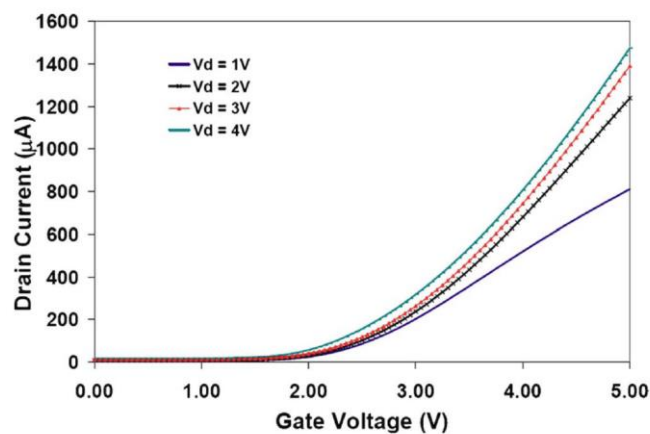


図 4-4-4 埋込み光導波路回路の上部に形成したトランジスタの動作特性[105]

#### 4-9-4 パターン SIMOX 法を先行して行う光・電気集積回路用基板

本章に示したパターン SIMOX 法による埋込み光導波路は、SmartCut 法により作製した SOI 基板に対してパターン SIMOX 法を行ったものであるが、本研究においてパターン SIMOX 法は表面をほぼ平坦に保つことができることが示されたので、パターン SIMOX 工程後に SmartCut 法による基板接合を行うことにより図 4-45 に記すような断面構造の光・電気集積回路用基板の可能性が示唆される。

表面から第 2 層の光回路用 Si 層に形成されている光回路と、表面の CMOS 回路用 Si 層に形成される CMOS 集積回路あるいは光回路との結合に重点を置きたい場合には本章に述べた製法による構成が適していると考えられる。また、光回路用 Si 層に形成されている光回路と、表面の CMOS 回路用 Si 層に形成される CMOS 集積回路あるいは光回路とをほとんど独立して用いたい場合には図 4-45 に示す基板が適していると考えられる。この図 4-45 に示す構造において、パターン SIMOX 法による埋込み酸化膜の厚さが 100nm 付近である場合は、第 2 章の図 2-9 に示した場合と同様に基板側への放射が多く、低伝搬損失の光導波路の形成には適さないが、屈折率変調構造を利用するフレネルレンズなどの形成は可能である。

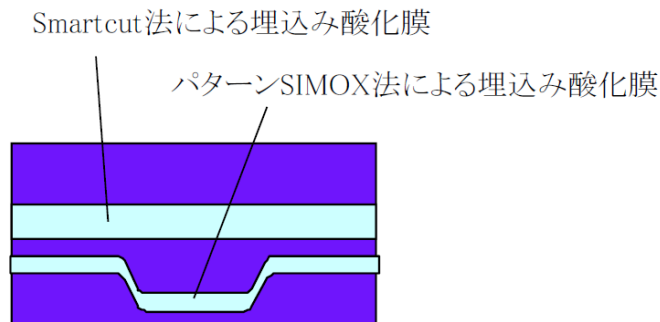


図 4-45 SIMOX 法 - SmartCut 法の順序で作製する光・電気集積回路用基板

#### 4-10 まとめ

パターン SIMOX 法を用いて SOI 基板の SOI 層に深さが変調された埋込み酸化膜層を形成することにより CMOS 集積回路用 Si 層と光回路用 Si 層を形成する製法について研究し、その結果を述べた。そして本研究により、CMOS 回路用 Si 層の欠陥密度を、 $7.5 \times 10^2/\text{cm}^2$  に抑えつつ、表面から第 2 層である光回路用 Si 層にリブ型光導波路構造を実現する製法およびその条件を明らかにした。なお、この欠陥密度は、2011 年発行の ITRS(22nm CMOS デザインルールに対応)の低レベル欠陥密度のしきい値  $1.0 \times 10^4/\text{cm}^2$  以下である。

研究の過程において、パターン SIMOX 法における埋込み酸化膜の分断は、割れを生じていない場合においても欠陥が優位に存在していることを示し、表面の CMOS 回路用 Si 層を低欠陥密度とするためには埋め込み酸化膜の連続性が必要であるという知見を得た。

酸素イオン注入工程において濃度プロファイルを得る簡易プロセスシミュレータを用いることによりマスクとイオン注入深さの関係を明確化し、目的とする導波路構造と導波路製作のプロセスの関連性を明らかにした。そして、マスクを介してイオン注入する場合のイオン濃度プロファイルの非対称性が埋込み酸化膜の分断に関連していることを示し、イオン注入工程において基板を回転させることにより、埋込み酸化膜の分断と非対称性を回避する方法を考案した。

さらには、 $1350^\circ\text{C}$  のアニール条件において欠陥を生成することなく基板の酸化を防止する保護膜材料など、パターン SIMOX 法を用いて電子デバイス層の下部に光導波路層を形成するために必要な多くの知見を得た。

またパターン SIMOX 法による埋め込み光導波路の応用例を示し、その有用性を明らかにした。

## 第5章 SOI トランジスタによる光記録メモリ

### 5-1 はじめに

SOI 基板上のトランジスタはボディ部分が埋込み酸化膜層により絶縁されているので、残存ホールによる基板浮遊効果に敏感である[40]。そして、トランジスタのボディ部分の残存ホールの有無を、メモリの信号として用いるメモリーデバイスも報告されている[106-109]。このメモリーデバイスの記録原理は、トランジスタの駆動によるインパクトイオンゼーション現象である。

光導波路を伝搬する波長  $1.35\mu\text{m}$  あるいは  $1.55\mu\text{m}$  の光にとって、シリコンは透明であるのでトランジスタの動作に影響を与えないと考えられていた。しかし、シリコンで形成された光導波路においては波長  $1.55\mu\text{m}$  の光であっても2光子吸収現象によりキャリアが発生する。そしてそのキャリアは、シリコン光導波路を用いたラマンレーザなどにおいては出力特性に大きな影響を与える量に達している[110]。

そこで、この効果を積極的にデバイスとして利用することを検討した。SOI トランジスタのボディ部分に波長  $1.55\mu\text{m}$  の光が入射した場合には、2光子吸収によりキャリアが発生し、そのキャリアのうち移動速度の遅いホールがボディ部分に残存し、基板浮遊効果によりトランジスタ特性に影響を与えるのであれば、光の照射をトランジスタに記録することができる可能性がある。

本章では、SOI トランジスタのボディ部分に、波長  $1.55\mu\text{m}$  の光を入射させることにより生じる2光子吸収によるキャリアの発生を記録原理とした SOI トランジスタによる光メモリに関する研究を述べる。内容は、SOI トランジスタにおける基板浮遊効果についての説明および基板浮遊効果を用いたメモリーデバイスについての説明を行った後、シリコン光導波路の2光子吸収現象に関わる報告を紹介する。そして、2光子吸収現象により生じるキャリアが、基板浮遊効果をとおして SOI トランジスタの特性に与える変化を、シミュレーションによって検討することにより SOI トランジスタによる光記録メモリの可能性を検証した結果を述べる。さらに、2光子吸収現象を記録原理とするメモリーデバイスをパターン SIMOX 法による SOI 光・電気集積回路の機能デバイスの1つとして用いるために、光導波路伝搬光によるデバイス制御を検討した結果を述べる。



## 5-2 SOI トランジスタにおける基板浮遊効果

バルク Si 基板に形成される MOS トランジスタと SOI 基板に形成される MOS トランジスタの構造の違いを図 5-1 に記す。(b)SOI 基板に形成される MOS トランジスタは、埋込み酸化膜により基板部分と絶縁されていることから、浮遊容量が少なく、また支持基板へのリーク電流もないので、(a)バルク Si 基板に形成される MOS トランジスタに比較して高速化と低消費電力化がなされる。しかしながら、ボディ部分は、固定された電極に接続されていないので、周辺電極のバイアス、および素子動作の履歴によりさまざまな変調を受ける。この素子が固定された電極に接続されていないことに起因する現象の総称が基板浮遊効果と呼ばれている[40]。

基板浮遊効果による現象は多々あるが、ドレイン電流-ドレイン電圧特性に現れるキック[111]と履歴効果(ヒストリー効果)によるしきい値電圧の不安定性[112]の2つについて、その現象を本節で説明する。

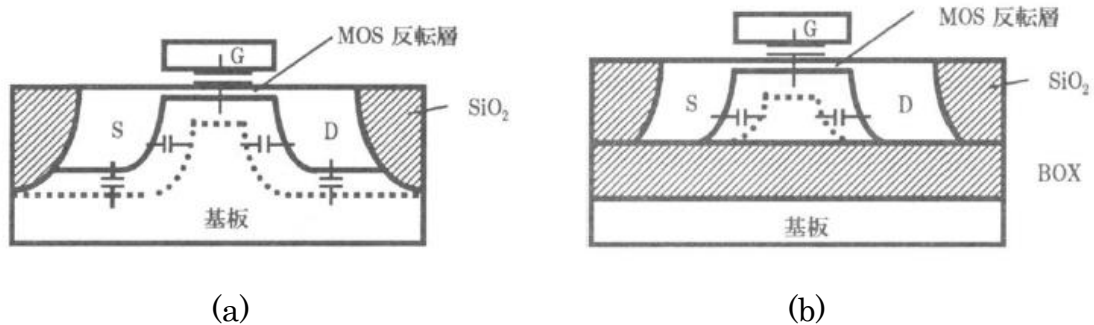


図 5-1 (a)バルク Si MOSFET と(b)SOI MOSFET の構造比較

### 5-2-1 ドレイン電流-ドレイン電圧特性におけるキック

図 5-2 にバルク Si MOSFET と SOI MOSFET におけるドレイン電流( $I_d$ )-ドレイン電圧( $V_d$ )特性の比較[40]を示す。キック現象とは、ドレイン電圧に対するドレイン電流の増加の傾きが変化する現象である。SOI MOSFET にキック現象が生じるステップを図 5-3 を用いて説明する。バルク Si MOSFET と SOI MOSFET とともに、ドレイン電圧を高めていくと、運動エネルギーが高くなった電子が、ボディ部分に存在

する Si 原子と衝突することによりキャリアを発生させるインパクトイオンゼーション（衝突電離）現象が生じる。SOI MOSFET の場合においては、(a)インパクトイオンゼーションにより発生したキャリアのうち移動度が遅いホールがボディ部分に蓄積していく。(b)蓄積したホールはプラスの電荷を有しているのでバイアス電圧が加えられることと同等となり MOSFET のしきい値を下げ、ゲート電圧  $V$  が  $\delta$  だけ加算されているように作用する。その結果、ドレイン電流がさらに増大しインパクトイオンゼーション化をさらに増大させる、という正のフィードバックが働くために、ドレイン電流の増加の傾きが変化するキック現象が観察される。ドレイン電流にキックが現れることは、実用的には、ドレイン電流を増すという意味では長所とも考えられているが、ドレイン電流のモデリングを複雑にし、また SOI MOSFET のボディにホールが蓄積するのに有限な時間を要するため、さまざまなスイッチング動作において、ドレイン電流は時間に依存して複雑な変化をし、回路設計を複雑にすることが問題である。

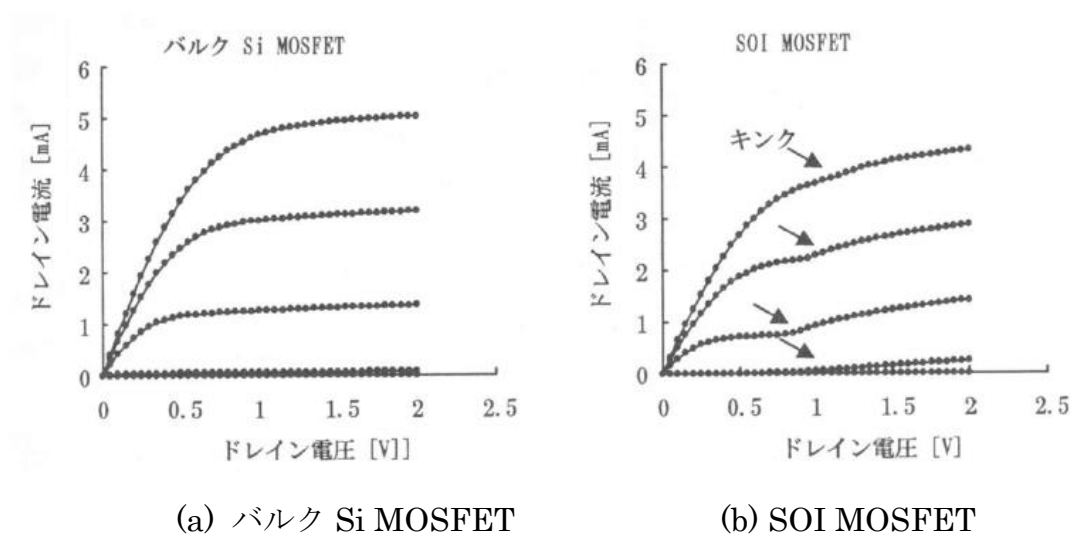


図 5-2 ドレイン電流( $I_d$ )—ドレイン電圧( $V_d$ )特性の比較[40]

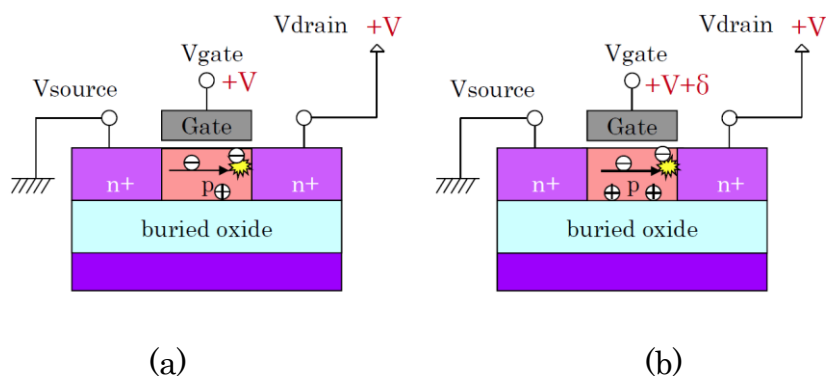


図 5-3 インパクトイオン化現象によるキック現象発生の説明図

- (a) インパクトイオン化によるキャリア発生
- (b) ボディに蓄積したホールによるドレイン電流への正のフィードバック

### 5-2-2 履歴効果によるしきい値電圧の不安定性

SOI MOSFET における履歴効果(ヒストリー効果)は、トランジスタの動作中のインパクトイオン化により生じたキャリアのうち移動度の遅いホールがボディ部分に蓄積する現象が、次のトランジスタの動作に与える影響である。すなわち、ボディ部分に蓄積したホールは、ボディ部分に正の電荷を与えていることと等価であるので、ボディにホールが蓄積しているトランジスタは、蓄積していないトランジスタに比較してしきい値電圧が変化する。

Assaderaghi らは、トランジスタを繰り返し動作させる周波数を変化させながら、トランジスタの出力の遅れ時間を測定することによりヒストリー効果によるしきい値の変化現象があることを示している[112]。図 5-4 に Assaderaghi らのヒストリー効果の測定結果を紹介する。この結果は、前回のトランジスタの動作から  $10^{-2}\text{sec.}$  以上経過すると単発駆動信号(Single Pulse Input)の入力時とほぼ同等の応答時間でトランジスタは動作するが、 $10^{-2}\text{sec.}$ 以下の間隔においては、トランジスタの動作の影響を受け単発駆動信号の入力時とは一緒にならないことを示している。

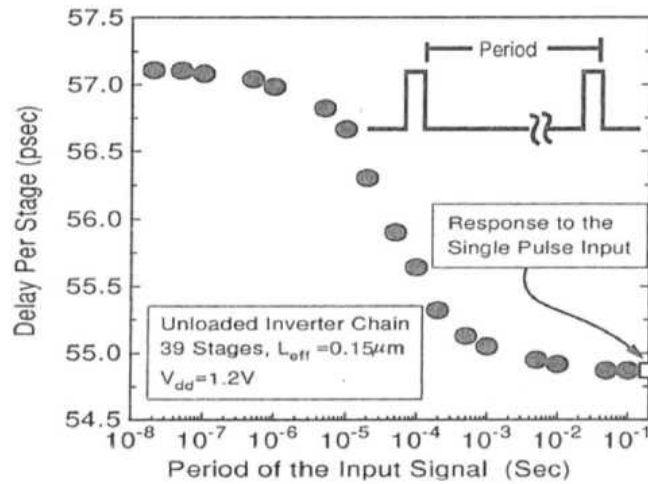


図5-4 ヒストリー効果の測定結果[112]

### 5-3 インパクトイオンゼーションを記録原理としたメモリーデバイス

現在の低価格な DRAM メモリは、バルク Si 基板上に形成された深い穴の側面を用いたキャパシタ型メモリであり SOI 基板上には形成できないという背景から、Sallese, Matsumoto らは、基板浮遊効果による SOI MOSFET の履歴効果を SOI 基板上に形成するメモリーデバイスとして応用している[106-109]。

図5-5を用いてこのメモリーデバイスの記録方法と記録状態を説明する。図5-5(a),(b)にデータが記録された状態”1”の説明を示す。この状態は、(a) 前述したようにトランジスタを動作させインパクトイオンゼーションにより発生したキャリアのうち移動度の遅いホールをボディ部分に蓄積させるというデータの書き込み方法により得られるものであり、(b) ボディ部分にホールが蓄積された状態である。図5-5(c),(d)にデータが消去された状態”0”の説明を示す。この状態は、(c)ドレイン端子に負の電圧を印加することによりボディ部分に蓄積されたホールを掃き出すというデータの消去方法により得られるものであり、(d) ボディ部分に蓄積されたホールがない状態である。

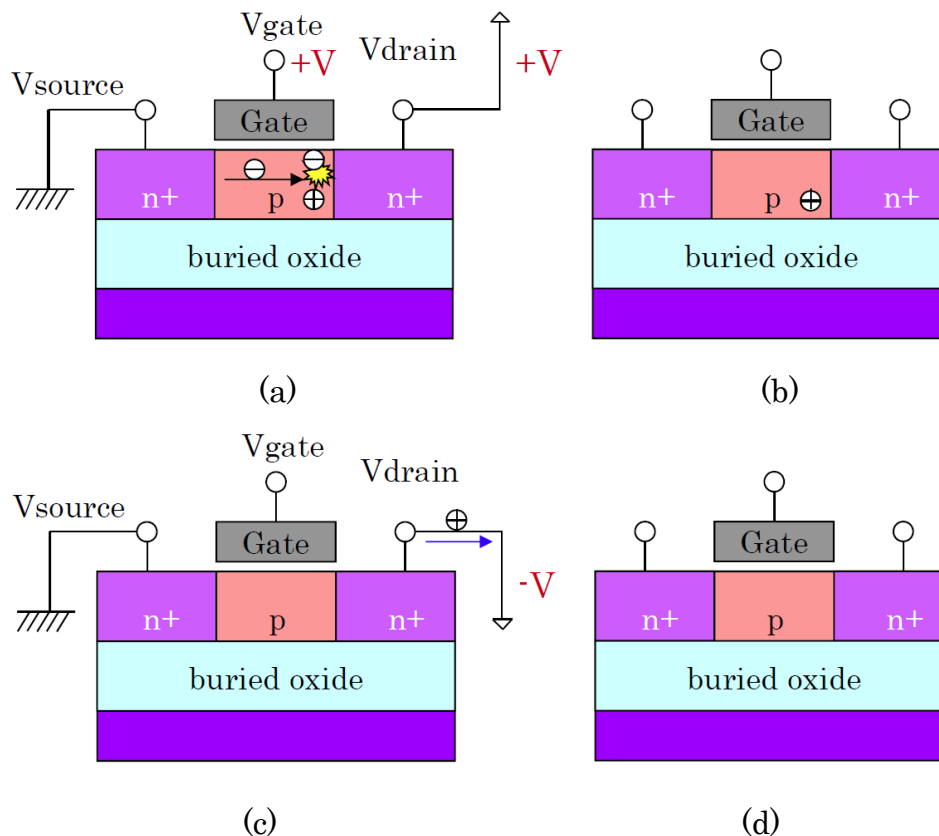


図 5 - 5 SOI MOSFET の履歴効果を用いたメモリの記録方法と記録状態

次に図 5 - 6 を用いてデータの読み出し方法を説明する。この方法は、トランジスタのドレイン端子に立ち上がりの電圧波形を与えた場合のドレイン電流の変化をモニターすることにより、ボディ部分へのホールの蓄積の有無を判定、すなわち状態”1”と”0”の判定を行なっている[113]。ボディにホールが蓄積している場合は、ホールが蓄積していない場合に比較して、しきい値電圧が低下するので、早いタイミングでトランジスタが動作しドレイン電流が流れ始めることとなる。つまり一定時間後のドレイン電流をモニターした場合に、クライテリアとなる値よりも多い場合を状態”1”と判定する。この判定方法は、Okhonin らが提唱したボディ部分に蓄積したホールの量を測定する方法[114]を応用したものである。

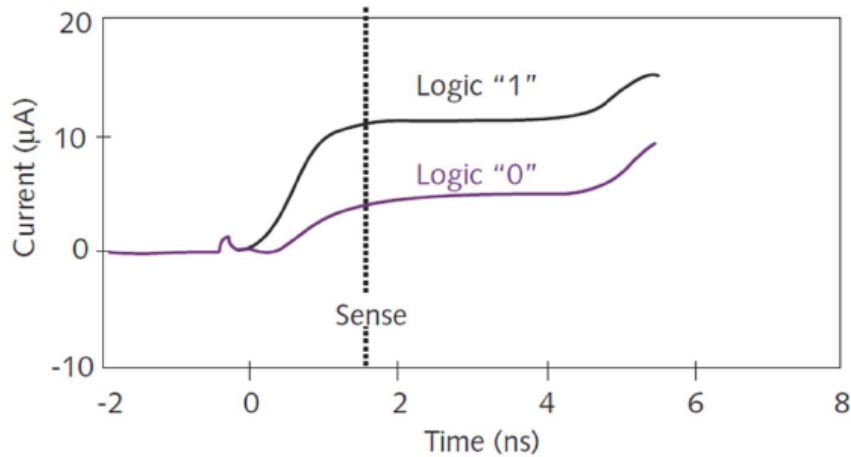


図 5-6 SOI MOSFET の履歴効果を用いたメモリの読み出し方法[113]

#### 5-4 2光子吸収現象を記録原理としたメモリーデバイス

シリコン光導波路における2光子吸収現象は、シリコン光導波路を伝搬する波長  $1.35\mu\text{m}$  もしくは  $1.55\mu\text{m}$  帯域の光の2倍の周波数の光、すなわち  $1/2$  の波長の光がシリコン材料に吸収される現象であるので、低導波損失の光導波路に比較的高パワーの光を伝搬させた場合に顕著となる現象である。Sorefらは、2光子吸収によるキャリアは、フォトン吸収する損失となる現象とシリコンの屈折率を変化させる現象の2つの現象をもたらすことを報告している[115]。そして、2光子吸収によるキャリアがフォトン吸収する現象は、Free Carrier Absorption (FCA)と呼ばれている[116,117]。

シリコン光導波路を用いたラマンレーザにおいては、2光子吸収現象により生じるFCAの取り扱いが重要であるとされ[110,118]、そのキャリアの対策がラマンレーザの発振を可能にした。UCLAのJalaliらは、短パルスレーザを光源として用いることによりキャリアによるFCAの影響を回避しラマンレーザのパルス発振に成功した[119]。また、インテル社のPanicciaらは、図5-7に示すようにシリコン光導波路をpin構造として、キャリアを電気的に掃き出すことによりラマンレーザの連続発振に成功した[21]。

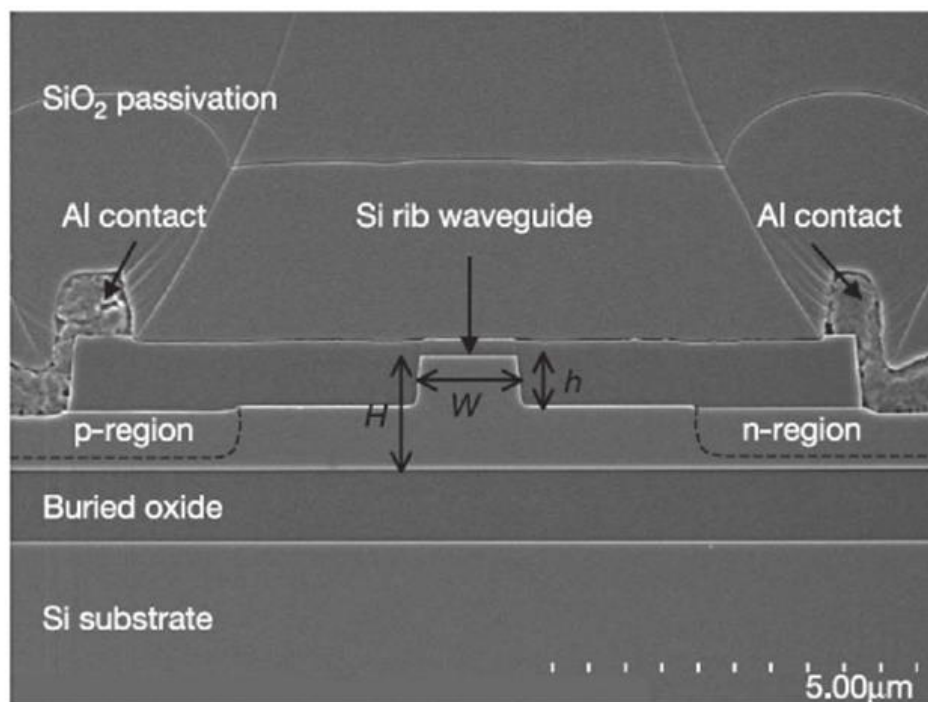


図5-7 ラマンレーザの連続発振を可能にした pin 構造を有する光導波路[21]

光導波路構造を pin 構造とすることにより、キャリアの掃き出しを電氣的に制御することができるので、この構造を用いた変調器[120]、可変光アッテネータ(VOA)などが報告されている[121]。さらには掃き出されたキャリアをエネルギーとして取り出す提案もなされている[122,123]。

2光子吸収現象により生じるキャリアの量については、光の入射エネルギーに対するキャリア発生係数である TPA 係数:  $\beta$  の計測に関する報告がいくつかなされている[124-126]。

シリコン光導波路内で発生したキャリアが、再結合あるいは電子・ホールの移動によりどのような状態になり安定するのかについては、UCLA の Jalali らによって報告がなされている[127,128]。これらの報告においては、半導体デバイスシミュレータが用いられており、TPA 係数  $\beta$  には、 $0.7\text{cm/GW}$  という数値が用いられている。

本節においては、インパクトイオン化によるキャリア発生現象により生じている SOI トランジスタの基板浮遊効果が、2光子吸収によるキャリア発生現象により生じるかについて、半導体デバイスシミュレータを用いて評価することにより、光照射による2光子吸収現象を記録原理とした SOI トランジスタによる光記録メモ

リについて検討した結果を述べる。

#### 5-4-1 シミュレーションモデル

2光子吸収によるキャリア発生によるトランジスタ特性への影響を解析するために用いた半導体デバイスシミュレータは、SILVACO社製のAtlas device simulation toolであり、UCLAのJalaliらがホールと電子の再結合現象についての報告[127]およびpin構造の光導波路において電圧印加により掃き出されるキャリアについての報告[128]に用いた解析手法と同じものである。

計算を行ったトランジスタの構成を図5-8に示す。このnpn構成のSOI MOSFET構造は、Atlasのライブラリーにある基板浮遊効果についてのモデル構造である。すなわち、部分空乏型(PD: partially-depleted)のSOI構造のトランジスタ[40]となっている。ソースおよびドレインとなるn部分のドーピング濃度は $1.0 \times 10^{20}/\text{cm}^3$ であり、ボディであるp部分のドーピング濃度は $1.0 \times 10^{17}/\text{cm}^3$ である。ゲート長は $1.0 \mu\text{m}$ であり、計算を行ったデバイスの幅は $3.0 \mu\text{m}$ である。埋込み酸化膜の厚さとSOI層の厚さはともに $0.3 \mu\text{m}$ であり、ゲート酸化膜の厚さは $17\text{nm}$ である。光は $0.3 \mu\text{m} \times 1.0 \mu\text{m}$ のボディ部分に均一なエネルギーが照射されるものとし、2光子吸収によって生じるキャリア密度は、光パワー密度 $I_p$ ・プランク定数 $E_p$ ・TPA係数 $\beta$ を用いて、 $\beta I_p^2 / 2E_p$ である。ここで、TPA係数 $\beta$ には、 $0.7\text{cm}/\text{GW}$ という数値を用い、波長 $1.55 \mu\text{m}$ の光の照射を想定した[128]。

計算手順は、SOI MOSFETのボディ部分に光を照射してボディ部分にキャリアを与えた構造を初期状態として、キャリアの再結合およびドレイン端子あるいはソース端子への移動などが終了しデバイス内のキャリア状態が安定になる構造を求めた。また、トランジスタの駆動動作であるドレイン電圧の印加は、初期状態が終了した時点を開始時間とした。すなわちこの計算は、トランジスタの動作直前に光がボディに照射された場合のトランジスタの特性を求めているものである。ドレイン端子に印加する電圧は、周波数 $1\text{kHz}$ の正弦波とし $0\text{V} \rightarrow 2\text{V} \rightarrow 0\text{V}$ と変化させた。ゲート電圧は、常に $0.2\text{V}$ とした。

なお計算においては2次元構造モデルを採用したので、デバイスの奥行き方向の長



さ(ゲート幅)は  $1\mu\text{m}$  となっている。したがって、実際のデバイスのゲート幅が  $10\mu\text{m}$  である場合には、ドレイン電流の数値を 1000 で割る必要がある。

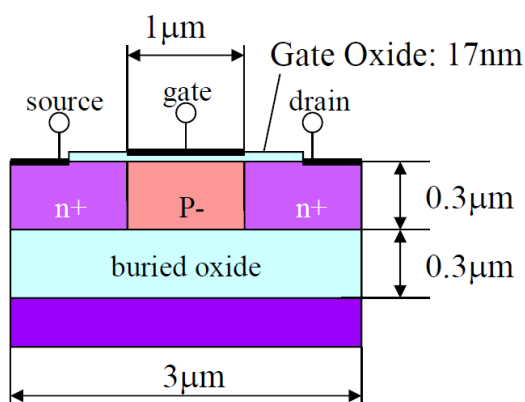


図 5-8 シミュレーションをおこなった SOI MOSFET 構造

#### 5-4-2 計算結果

図 5-9 に、SOI MOSFET のボディ部分に、 $0.51\text{mW}$ 、 $4.68\text{mW}$  の光を初期条件として照射した場合と、照射しない場合のドレイン電流特性を示す。この結果より  $0.51\text{mW}$  および  $4.58\text{mW}$  の光をトランジスタのボディ部分に照射したトランジスタは、照射していない場合に比較して明らかに多くの電流が流れていることがわかる。すなわち、2光子吸収現象により発生したキャリアが基板浮遊効果による履歴効果と同等の効果を生じさせトランジスタのしきい値電圧を低下させる効果があることが示された。

図 5-10 に、横軸に光の照射量、縦軸に電圧上昇時の各ドレイン電圧時のドレイン電流をプロットした結果を示す。

この図より  $1\text{V}$ 、 $1.25\text{V}$ 、 $1.5\text{V}$  のドレイン電圧におけるドレイン電流は、 $0.5\text{mW}$  程度の光の照射量を境界として、ほぼステップ関数状に変化することがわかる。つまり  $0.5\text{mW}$  以下の照射量においては、基板浮遊効果の影響はほとんど観察されていないことがわかる。したがって、 $0.3\mu\text{m} \times 1.0\mu\text{m}$  のボディを有する SOI MOSFET においては  $0.5\text{mW}$  の光量、光パワー密度に換算すると  $1.67\text{mW}/\mu\text{m}^2$  が基板浮遊効果を与えるかどうかのしきい値、すなわち、2光子吸収現象を記録原理とした場合のデータ記

録に必要なしきい値であることがわかった。またこの図より、このメモリーデバイスの再生に関して1V~1.5Vのドレイン電圧印加時のドレイン電流が例えば5nA以上であるか、もしくは5nA以下であるかを判別することにより、しきい値以上の光量が照射されたかどうかを判断することができることを示している。

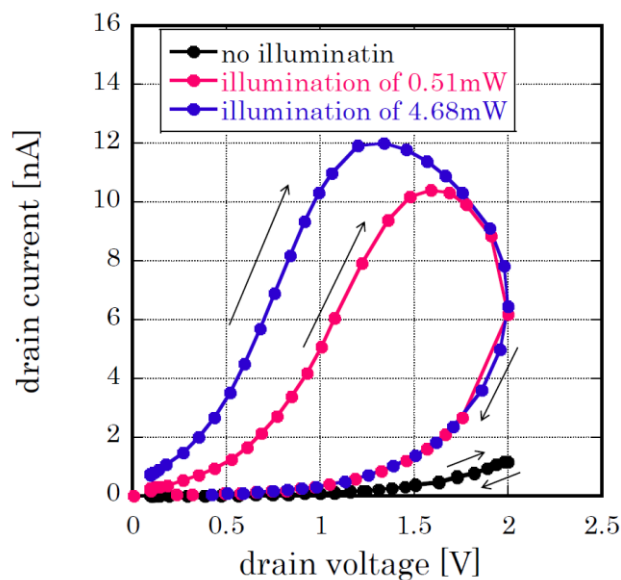


図5-9 2光子吸収現象による基板浮遊効果のドレイン電圧-電流特性

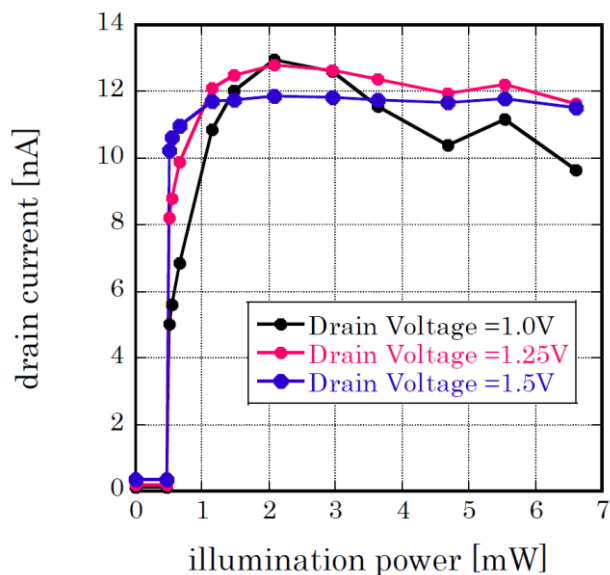


図5-10 2光子吸収による基板浮遊効果の入射光量依存性

2光子吸収を記録原理とした SOI トランジスタを用いたメモリのデータ保持特性について述べる。ボディにおけるホールの濃度の時間変化とドレイン電流を 1.5mW の照射光量の場合について観察した結果を図 5-11、12 に示す。これらの図においては横軸の原点を、照射が終わった時点としている。またホールの濃度は、ボディ部分での平均値である。図 5-11 より、2光子吸収現象により生じたキャリアのうち移動速度の遅いホールが消失し、0.2V のゲート電圧の定常状態になるまでの時間は、ゲート長 1.0 $\mu\text{m}$  のトランジスタにおいて約 1 秒程度の時間であることがわかる。また図 5-12 に示したドレイン電流は、照射後 1 $\mu\text{sec}$ .程度は、27nA 程度のドレイン電流が流れていることがわかる。

ホールの移動速度はドーピング濃度に依存するので、2光子吸収により生じたホールがボディ内より消失するまでの時間は、トランジスタのゲート長にほぼ比例する現象であると考えることができる。すなわち、トランジスタのゲート長を 1/10 にすると、ホールがボディから消失する時間が 1/10 程度になることとなる。つまり、ゲート長を最先端の CMOS デザインルールで採用されている 45nm あるいは 32nm としても、ホールがボディから消失するまでの時間は、数十 msec.の時間となるので、メモリの保持時間は、数十 msec.となる。メモリのデータを保持時間よりも長い時間保持したい場合には、通常の DRAM などの揮発性メモリと同様にリフレッシュ作業が必要となる。本研究の SOI トランジスタによるメモリの構造はインパクトイオン化を記録原理としたメモリの構造と同様のトランジスタ構造であるので、2光子吸収を原理とするリフレッシュおよびインパクトイオン化を原理とするリフレッシュ[129]のどちらの方法も選択可能である。

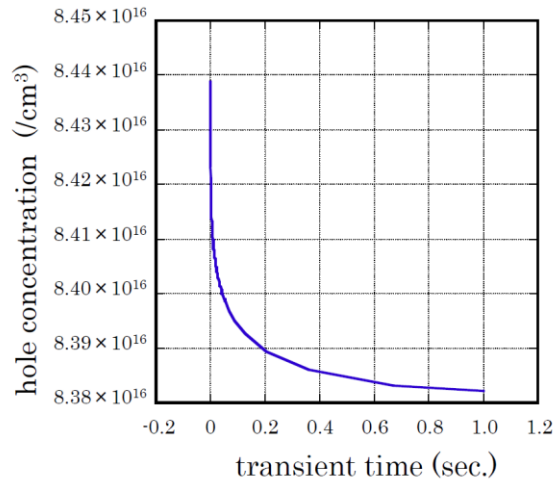


図 5 - 1 1 照射後のボディ内のホール濃度

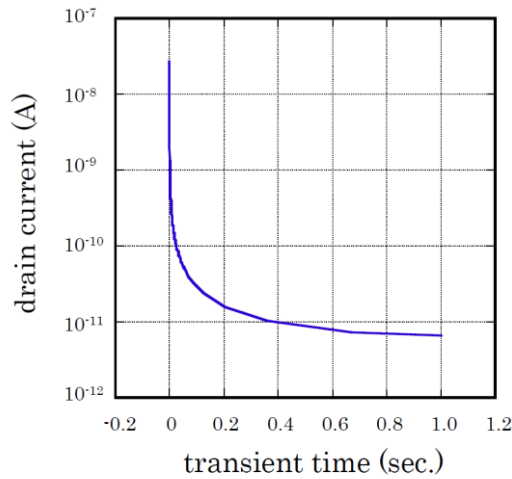


図 5 - 1 2 照射後のドレイン電流の変化

1kHz, 1MHz, 50MHz, 250MHz の周波数においてトランジスタを駆動させた結果を図 5 - 1 3 に示す。なお、図 5 - 1 3 においては横軸を時間として記した。周波数以外のトランジスタの駆動条件は、上記の 5 - 9, 10 に示した結果と同様である。

図 5 - 1 3 より、駆動周波数を 1MHz, 50MHz, 250MHz と高めるしたが、光の照射の有無によるドレイン電流の差が大きくなっていることがわかる。図 5 - 1 3 (a) 中に示すようにトランジスタ駆動中のドレイン電流の最大差を駆動周波数ごとに調べた結果を図 5 - 1 4 に示す。これらの図より 2 光子吸収によるヒストリー効果は、トランジスタの応答周波数の範囲において、駆動周波数の増加とともに増加する特性を有している。図 5 - 1 1 に示したボディ内のキャリア量の時間変化と比較すると、

高い周波数でのトランジスタの駆動は、ボディ内のキャリアが多い状態においてドレイン電圧を印加しているため、大きなドレイン電流の違いを生じさせたと考えられる。

図5-4に示した Assaderaghi らのヒストリー効果の測定結果は、トランジスタの駆動間隔が狭いほど大きなヒストリー効果を有することを示していたが、光の照射による2光子吸収現象により生じるキャリアに起因するヒストリー効果においても、残留ホールの影響により、照射後からトランジスタ駆動までの時間が短いほどドレイン電流の違いが大きくなるという同様の特性を有している。

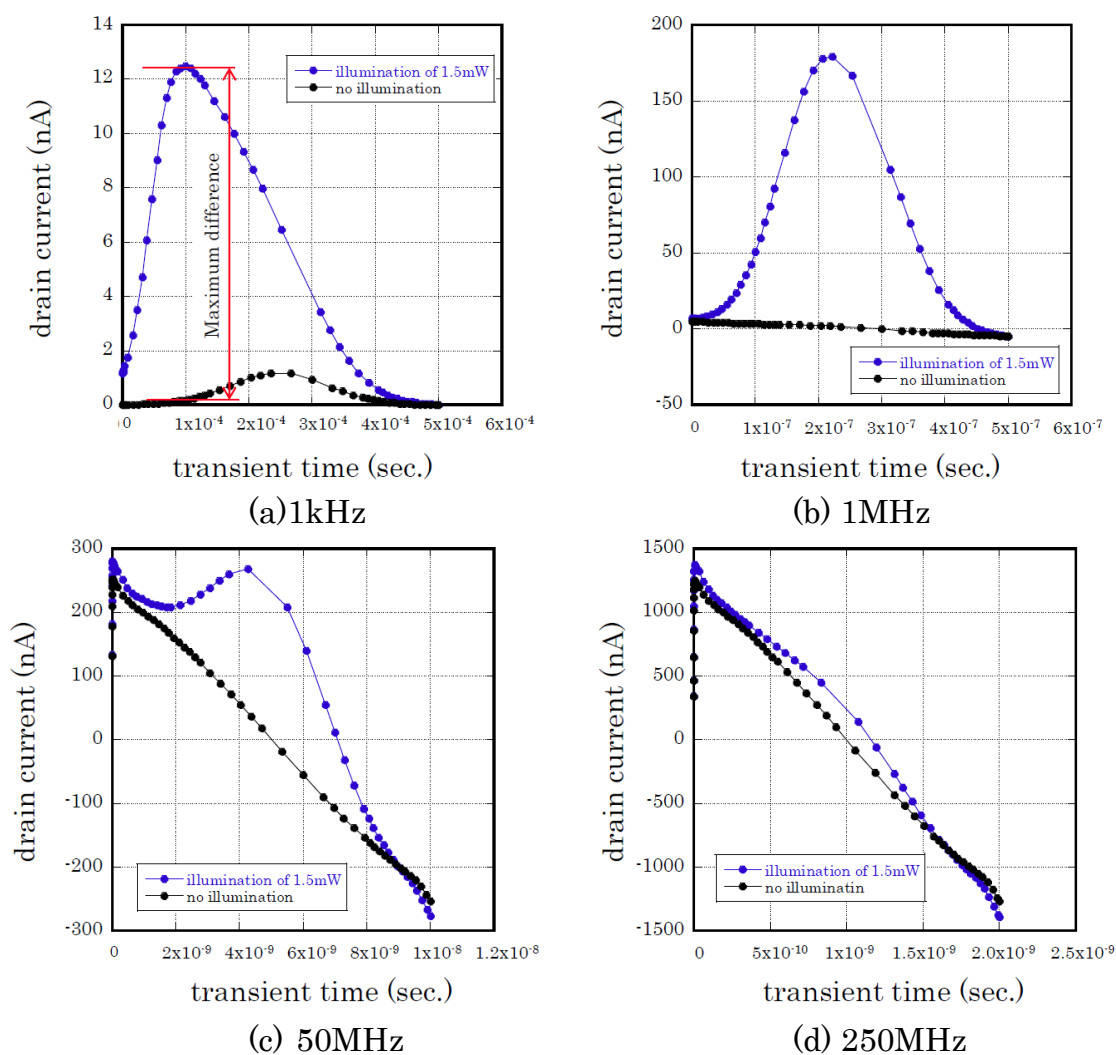


図5-13 光照射による基板浮遊効果のトランジスタ駆動周波数による違い

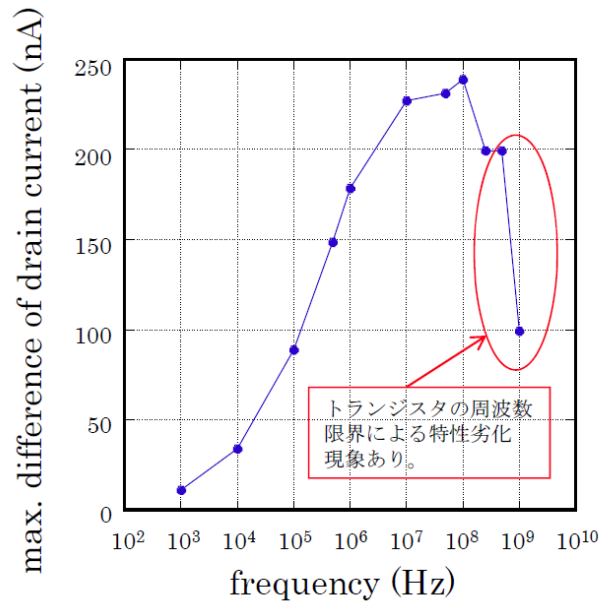


図 5 - 1 4 トランジスタ駆動周波数に対する光照射の有無のドレイン電流の差

### 5-5 SOI トランジスタによる光記録メモリの操作方法

前節において可能性を検証した光照射による 2 光子吸収現象を記録原理とした SOI トランジスタによる光記録メモリの操作順序を述べる。

図 5 - 1 5 に SOI トランジスタによる光記録メモリの操作順序を示す。本研究のメモリの基本操作は、図 5 - 1 5 (a) に示すドレイン電圧の操作により、メモリの動作状態を切り替える方法となっている。まず、光照射による記録工程に先立ち、以前のデータをリセット（消去）する工程としてトランジスタのボディ部分に残存している可能性のあるホールの除去工程を行う。このリセット工程は、図 5 - 5 (c) に記した SOI トランジスタの履歴効果を用いたメモリのデータ消去方法と同様に、ドレイン端子に負の電圧を与えることによるボディ部分のホールの除去工程である。

次の記録工程においては、前節に示したシミュレーションの条件と同じくトランジスタが動作しない端子状態（ゲート電圧：0.2V、ドレイン電圧：0V）とし、記録を行いたい場合には、記録に必要なしきい値を超える光パワーを SOI トランジスタのボディ部分に照射し、2 光子吸収によるキャリアを生じさせキャリアのうち移動度の遅いホールをボディ部分に残存させる。

再生工程においても、シミュレーションの条件と同じく、ゲート電圧：0.2V の状態にて、ドレイン電圧を  $0V \rightarrow 2V \rightarrow 0V$  ( $V_{\text{read}} = 2V$ ) と変化させた場合のドレイン電流をモニターする。そして、ドレイン電圧を印加し始めてから一定時間後のドレイン電流が設定した数値(criterion value)以上であるかどうかを判定することにより、ボディ部分に残存ホールの有無を判定する。具体的には、図5-15 (b)に示すように、ドレイン電圧を 1kHz で  $0V \rightarrow 2V \rightarrow 0V$  と変化させた場合において、ドレイン電圧の増加中にドレイン電圧が 1.25V となった時点のドレイン電流が 5nA 以上 (criterion value = 5nA) である場合には、ボディ部分に残留ホールが残存していたこと (データ記録のための光照射がなされていたこと) と判定する。また、図5-15 (c)に示すようにドレイン電流が 5nA 未満である場合には、ボディ部分に残留ホールが残存していなかったこと (データ記録のための光照射がなされていないこと) と判定する。

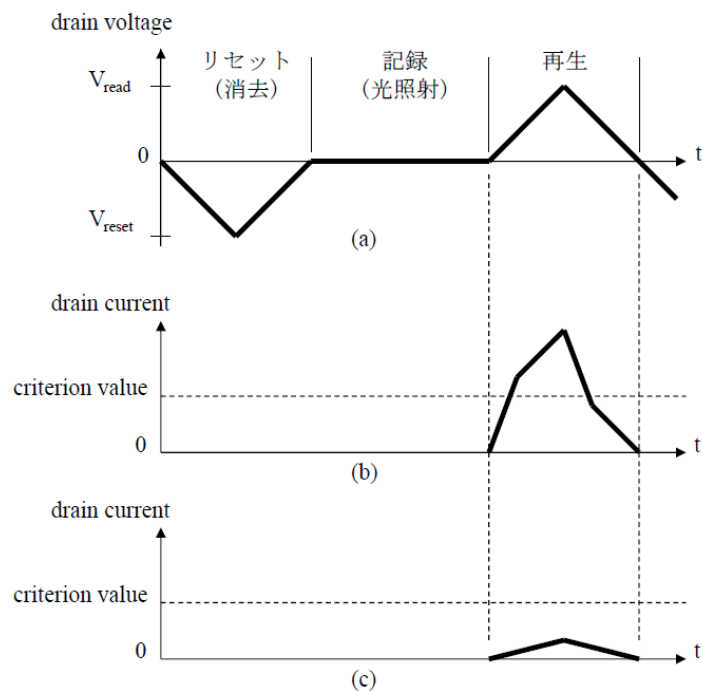


図5-15 SOI トランジスタによる光記録メモリの操作順序

## 5-6 SOI トランジスタによる光記録メモリの形態

2光子吸収現象を記録原理とした SOI トランジスタによる光記録メモリを光導波路伝搬光により制御するための形態について述べる。本研究の光・電気集積基板における光メモリとなる SOI トランジスタと光導波路の形態例の概略図を図 5-16 に示す。この例においては、光導波路の直上にメモリとなる SOI トランジスタのボディ部が伝搬方向に沿って配置されている例である。図 5-16 に示した構成例において、SOI トランジスタを用いたメモリーデバイスの記録に必要な伝搬光量をビーム伝搬法を用いた光導波路シミュレータ(FIMMWAVE)により計算を行った。図 5-17 にシミュレーションに用いた断面構造図を示す。この構成は、図 4-5 に示した前章における作製目標とした光導波路の形状に、本章の計算に用いた  $0.3\mu\text{m}$  厚でゲート長  $1\mu\text{m}$  の SOI トランジスタ(図 5-8)を配置したものである。なおこの構成においては、SOI トランジスタのボディ部分への光の照射量を増やすことを目的としてゲート電極にはポリシリコンに替えて、ITO(Indium Tin Oxide)よりなる透明導電膜を用いることとした。通常の CMOS トランジスタ回路においては動作速度を高速にするためにドーパ量の高い(電気抵抗が低く、光の吸収率が高い)ポリシリコンを用いるが、本研究の SOI トランジスタを用いたメモリーデバイスのゲート端子には一定電圧が印加される動作方法であるので、高速での電圧駆動が不要であるので電気抵抗の低いポリシリコンを採用する必要がない。そのため電気抵抗率はポリシリコンに比較して高いが、光の透過率の高い ITO を電極材料に用いることが可能となる。さらには、波長:  $1.55\mu\text{m}$  の光における ITO 材料の屈折率は約 1.8 であり[130]、Si よりも屈折率が低く電極材料側への光の染み出し量を少なくすることができる。



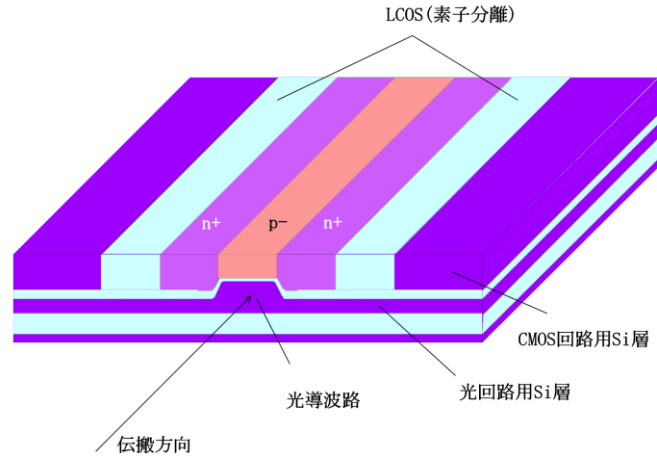


図 5 - 1 6 SOI トランジスタと光導波路の配置構成概略図

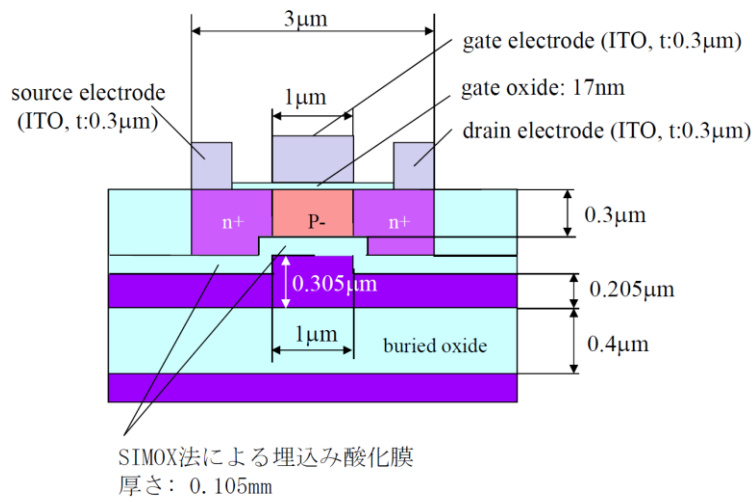


図 5 - 1 7 光導波路伝搬光を記録光とした SOI トランジスタメモリの断面構成図

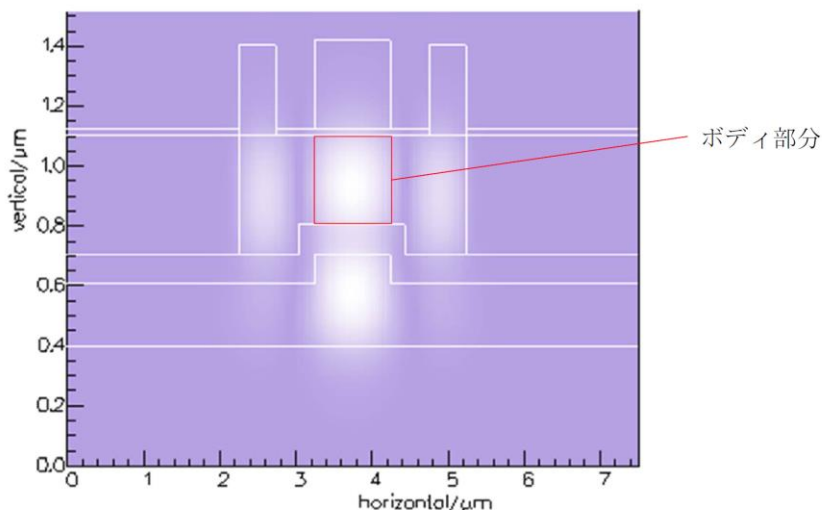


図 5 - 1 8 光導波路伝搬光を記録光とした SOI トランジスタメモリ内の伝搬光の電界強度分布 (波長  $1.55\mu\text{m}$ , TE モード)

SOI トランジスタを用いた光記録メモリ内の光導波路伝搬光の電界強度分布および伝搬損失の計算に際して、SOI トランジスタのドーピングがなされた領域の吸収係数については次の数値を用いた。まず、 $1 \times 10^{20}/\text{cm}^3$  の doping 量がなされたソースとドレイン領域は、Soref らの報告[6]から波長  $1.55\mu\text{m}$  の波長に対する吸収係数  $\alpha$  として 9.53 を用いた。 $1 \times 10^{17}/\text{cm}^3$  の doping 量がなされたボディ領域は、Strum らによる  $7 \times 10^{17}/\text{cm}^3$  以下の doping 量においては波長  $1.55\mu\text{m}$  の光における吸収率に doping 量の影響は小さいという報告[131]と、Liu らによる  $3 \times 10^{16}/\text{cm}^3$  の doping 量のシリコン材料を用いたリッジ型光導波路に波長  $1.55\mu\text{m}$  の光を伝搬させた場合の損失が  $6.7\text{dB}/\text{cm}$  であるという報告[132]から、吸収係数  $\alpha$  として 0.154 の値を導出した。

図 5-18 に SOI トランジスタを用いた光記録メモリ内の光導波路伝搬光の電界強度分布をビーム伝搬法(FIMMWAVE)により得た結果を示す。この結果から光回路用 Si 層のリブ型光導波路の直上に SOI トランジスタのボディ部分を配置することにより、光導波路を伝搬する光によって SOI トランジスタのボディ部分に光を照射することができることを示している。また伝搬損失の数値として  $2.25\text{dB}/\text{cm}$  (電界振幅の損失)が得られた。この伝搬損失は、SOI トランジスタメモリのゲート幅(伝搬光の伝搬方向のメモリの長さ)を  $10\mu\text{m}$  とした場合に、SOI トランジスタメモリ内で吸収される光パワーは 0.104%となり吸収損失はわずかであるという結果を得た。さらに得られた電界強度分布から、SOI トランジスタのボディ部分における伝搬光の光パワーの割合を求めると、31.1%であった。

本研究の SOI トランジスタを用いた光照射によるメモリは  $0.3\mu\text{m} \times 1.0\mu\text{m}$  のボディ部に  $0.5\text{mW}$  の光を照射することにより記録が可能である。上記の数値を用いて、ゲート幅が  $10\mu\text{m}$  であり図 5-17 に断面構造を示す SOI トランジスタメモリの全ゲート幅領域にデータを記録するための光導波路の伝搬光量は、 $10\mu\text{m}$  の距離を伝搬し 0.104%の光量が減少した後に  $0.5\text{mW}$  の光量がボディ部分に照射されている場合を計算することにより  $1.61\text{mW}$  となる。

本研究における光・電気集積回路基板においては、CMOS 回路用 Si 層の直下に光回路層用 Si 層が配置されているので、図 5-17 に示したように SOI トランジスタのボディ部分の直下に光導波路を配置することにより、SOI トランジスタの電極部分に遮られることなく、SOI トランジスタのボディを有効に照明することができる。さらに、図 5-16 に示したように光導波路の伝搬方向と SOI トランジスタのボディ

部分を平行に配置することにより、有限なゲート幅を有するトランジスタのボディに光を効率的に照射することも可能となる。

また、SOI トランジスタを用いたメモリへの光の照射を制御するデバイスとしては、種々の光スイッチ[133]あるいは光変調器[24]の使用が可能である。図5-19にはその一例として Lipson らが報告したマイクロリング共振器型の光制御デバイス[23]を用いた場合の概略構成図を示す。図4-42に示したように本報告の光・電気集積回路用基板においては、CMOS 回路用 Si 層と光回路用 Si 層の2層に光導波路デバイスを形成した光-光結合実験において優れたフィルター特性が得られているので、マイクロリング共振器型の光制御デバイスとの組み合わせは好適である。

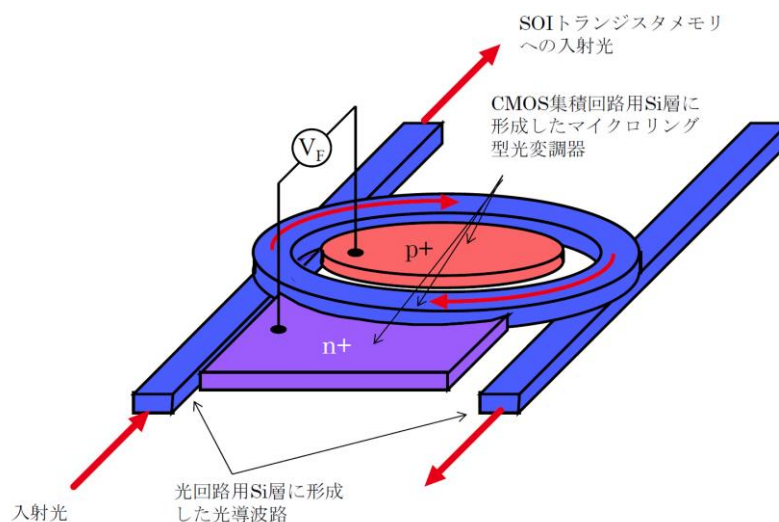


図5-19 SOI トランジスタメモリへの光の照射を制御するデバイスの構成例

## 5-7 まとめ

この研究においては、SOI トランジスタのボディ部分に波長  $1.55\mu\text{m}$  の光を直接照射した場合に、2光子吸収によりキャリアが発生し、そのキャリアのうち移動速度の遅いホールが SOI トランジスタのボディ部分に残存し、最終的に基板浮遊効果を生じさせるというモデルに基づいて、照射光量に対する基板浮遊効果の影響を求めることにより、SOI トランジスタを用いた2光子吸収現象を記録原理としたメモリーデバ

イスの可能性を検証した。その結果、 $0.3\mu\text{m}\times 1.0\mu\text{m}$  のボディを有する SOI MOSFET に  $0.5\text{mW}$  以上、パワー密度に換算すると  $1.67\text{ mW}/\mu\text{m}^2$  以上の光をボディに照射することにより、基板浮遊効果が生じ、トランジスタのしきい値電圧が影響を受けるといことがわかり、メモリとしての使用が可能であることがわかった。

本研究における光・電気集積回路用基板の CMOS 集積回路用 Si 層は、先端 CMOS 集積回路の形成可能な結晶品質であるので、シミュレーションの通りに駆動する SOI トランジスタの形成が可能であり、2光子吸収現象を記録原理としたメモリーデバイスの動作が期待できる。

また本研究の光・電気集積回路基板の光デバイスと電気デバイスの相互作用を用いたデバイスとして、光回路用 Si 層に形成した光導波路の伝搬光により、光導波路の直上の CMOS 集積回路用 Si 層にボディ部を形成した SOI トランジスタを用いた光記録によるメモリーデバイスを検討した結果、 $1.61\text{mW}$  の光導波路の伝搬光量によりメモリの記録を実現できることがわかった。

一方、シリコン製光・電気集積回路においても、集積度の向上・チップ面積の縮小化は必然の要求事項であるので、光回路と電気回路とを問題が生じない範囲で極力近接させる必要がある。そして、本研究における CMOS 集積回路用 Si 層と光回路用 Si 層は、SIMOX 法により形成される厚さ約  $100\text{nm}$  の埋込み酸化膜層により分離されている。つまり、光回路と CMOS 集積回路は、最も接近した場合  $100\text{nm}$  の距離に近接する可能性もあるので、2光子吸収現象を記録原理としたメモリーデバイスではないトランジスタにも光導波路を伝搬する光が照射される可能性がある。本研究にて得られた結果は、SOI トランジスタに影響を与えない光導波路の伝搬光パワーの算出にも適用することができるので、本研究の結果をシリコン製光・電気集積回路の光導波路レイアウトに応用することができる。

## 第6章 結論

### 6-1 本研究で得られた結論

本研究は、CMOS 集積回路技術に適合する光導波路技術として、CMOS 集積回路用シリコン層と光回路用シリコン層が基板の厚さ方向に積層されたシリコン製光電気集積回路(EPIC)の実現を目的とした。この EPIC 技術は、光通信部品の高機能化・低価格化をもたらす技術として期待されている。

パターン SIMOX 法を用いて、表面のシリコン層を先端 CMOS 集積回路が形成可能な品質を保持しながら、表面から第二層目のシリコン層に光導波路を作製する方法を提案し、その有用性を検証した。そして、CMOS 集積回路用シリコン層と光回路用シリコン層が積層された EPIC を実用化するために必要な技術として、基板内の欠陥の位置を基板深さ方向の分解能も含めて効率的に特定する技術を提案・検証し、有用性を示した。また、光回路用 Si 層の直上に形成した低欠陥の CMOS 集積回路用 Si 層に高性能な SOI トランジスタが形成可能であるという特徴を活かして、SOI トランジスタと光導波路を伝搬する光の相互作用効果を用いたデバイスとして、光記録メモリーデバイスを提案・検証した。

本研究によって得られた成果を以下に示す。

1. SOI 基板にパターンを用いない SIMOX 法を適用することにより、SOI 層中に厚さおよび深さが一様な  $\text{SiO}_2$  層を形成することが可能であることを示すとともに、CMOS 集積回路が形成される最表面のシリコン層は、22nm デザインルール CMOS 集積回路が形成可能な低欠陥密度のシリコン層を形成することができることを実証した。
  - (1) 光回路が形成される表面から第二層目のシリコン層には、光回路には影響を及ぼさないが、先端 CMOS 集積回路においては影響を及ぼす可能性のある密度で欠陥が形成されることを明らかにした。
  - (2) SOI 基板により形成される欠陥が、最表面の CMOS 用シリコン層に形成されているのか、または、表面から第二層の光回路用シリコン層に形成されているのかを、効率的に判別する欠陥の3次元位置特定法の必要性を明らかにした。

2. 高効率に欠陥の3次元位置を特定する方法として、蛍光顕微鏡を用いた2枚のイメージ撮影による非破壊で効率的な欠陥位置特定方法を提案し、その有効性を明らかにした。
  - (1) 蛍光ビーズを用いた精度検証実験により、空気中で  $0.1\mu\text{m}$  の高さ分解能、Si 材質中で約  $30\text{nm}$  の高さ分解能を有する位置特定法であることを実証した。そして、従来の蛍光顕微鏡を用いた方法に比較して、データ処理の際に必要なデータサイズを  $1/10\sim 1/20$  程度に削減できることを示し、全数検査としての欠陥検査方法に有効であることを明らかにした。
  
3.  $\text{SiO}_2$  マスクを用いたパターン SIMOX 法を SOI 基板に適用することにより、表面のシリコン層を先端 CMOS 集積回路が形成可能な品質に保持しながら、表面から第二層目のシリコン層に光導波路を作製する方法を提案し、その有効性を明らかにした。
  - (1) マスクパターンの厚さ、イオン注入量、アニール条件、イオン注入工程時の基板回転などの製作条件を調整することにより、段差部において埋込み酸化膜が分離することなく、左右対象で連続な埋込み酸化膜を一様な厚さで、光導波路構造に適した埋込み酸化膜が形成できることを、CMOS 集積回路の量産を行なっている製造装置を用いて実証した。
  - (2) マスクパターンの端部分に形成する埋め込み酸化膜の分断は、割れを生じていない場合においても表面の欠陥の存在と優位に関連しているため、最表面を CMOS 集積回路が形成可能な品質とするためには、埋込み酸化膜は連続である必要があることを明確にした。
  - (3) 欠陥密度の  $7.5\times 10^2/\text{cm}^2$  の電子デバイス形成用 Si 層を持つ2層 SOI 基板の形成を実証した。この欠陥密度は目標とする  $1.0\times 10^4/\text{cm}^2$  以下である。この欠陥密度  $1.0\times 10^4/\text{cm}^2$  は、 $22\text{nm}$  の CMOS デザインルールに対応する 2011 年発行 ITRS に記載されるように極めて低い欠陥密度である。
  
4. SOI トランジスタを用いた光記録メモリーデバイスについて、SOI トランジスタのボディ部分に波長  $1.55\mu\text{m}$  の光を直接照射した場合の2光子吸収によるキ

キャリアの発生による SOI トランジスタの基板浮遊効果に注目して研究を行い、トランジスタへの光の照射によるデータ記録の可能性を解析手法により検討した。

- (1) SOI 厚さ:  $0.3\mu\text{m}$ 、ゲート長:  $1.0\mu\text{m}$  の SOI MOSFET のボディ部に  $1.67\text{mW}/\mu\text{m}^2$  の程度以上の光を照射することにより、基板浮遊効果が生じ、等しいドレイン電圧波形を印加する場合でもドレイン電流が  $10\sim 200\text{nA}$  程度大きくなることを明らかにし、メモリとしての使用が可能であることを示した。
- (2) 本研究の CMOS 集積回路用シリコン層と光回路用シリコン層が基板の厚さ方向に積層された EPIC の光デバイスと電気デバイスの相互作用を用いたデバイスとして、光回路用 Si 層に形成した光導波路の伝搬光により、光導波路の直上の CMOS 集積回路用 Si 層にボディ部を形成した SOI トランジスタを用いた光記録によるメモリーデバイスを検討した結果、 $1.61\text{mW}$  の光導波路の伝搬光量によりメモリの記録を実現できることを明らかにした。

## 6-2 将来の展望

本論文の研究成果は、CMOS 集積回路が形成されるシリコン層とは異なるシリコン層に光回路が作製可能であることを実証したことにより、CMOS 集積回路チップのチップ面積の増加を最小限として光の機能を付加する可能性を提示したことである。

CMOS 集積回路が形成される層と光回路が形成される層を異なる層とすることは、それらのシリコン層の厚さを一致させるという制約条件の除外を意味する。CMOS 集積回路の設計ルールが進歩しゲート長が狭くなると、CMOS 集積回路が作製されるシリコン層の厚さを薄くしていかなければならないので、CMOS 集積回路層と光回路層のシリコン層の厚さを一致させるという制約条件の除外は、CMOS 集積回路の設計ルールに依存しない光回路技術を採用する機会を与えられたこととなる。すなわち、光回路の研究者が開発した光回路デバイスは、CMOS 集積回路の世代によらずそのデバイスを継続して使用することができることとなる。また、CMOS 回路設計者は、光回路デバイスの対応を待つ必要なく、CMOS 集積回路の世代を進めるこ

とができ、シリコン層が 60~80nm と薄い完全空乏型 SOI トランジスタによる集積回路、さらには FinFET を用いた集積回路の採用も可能となる。

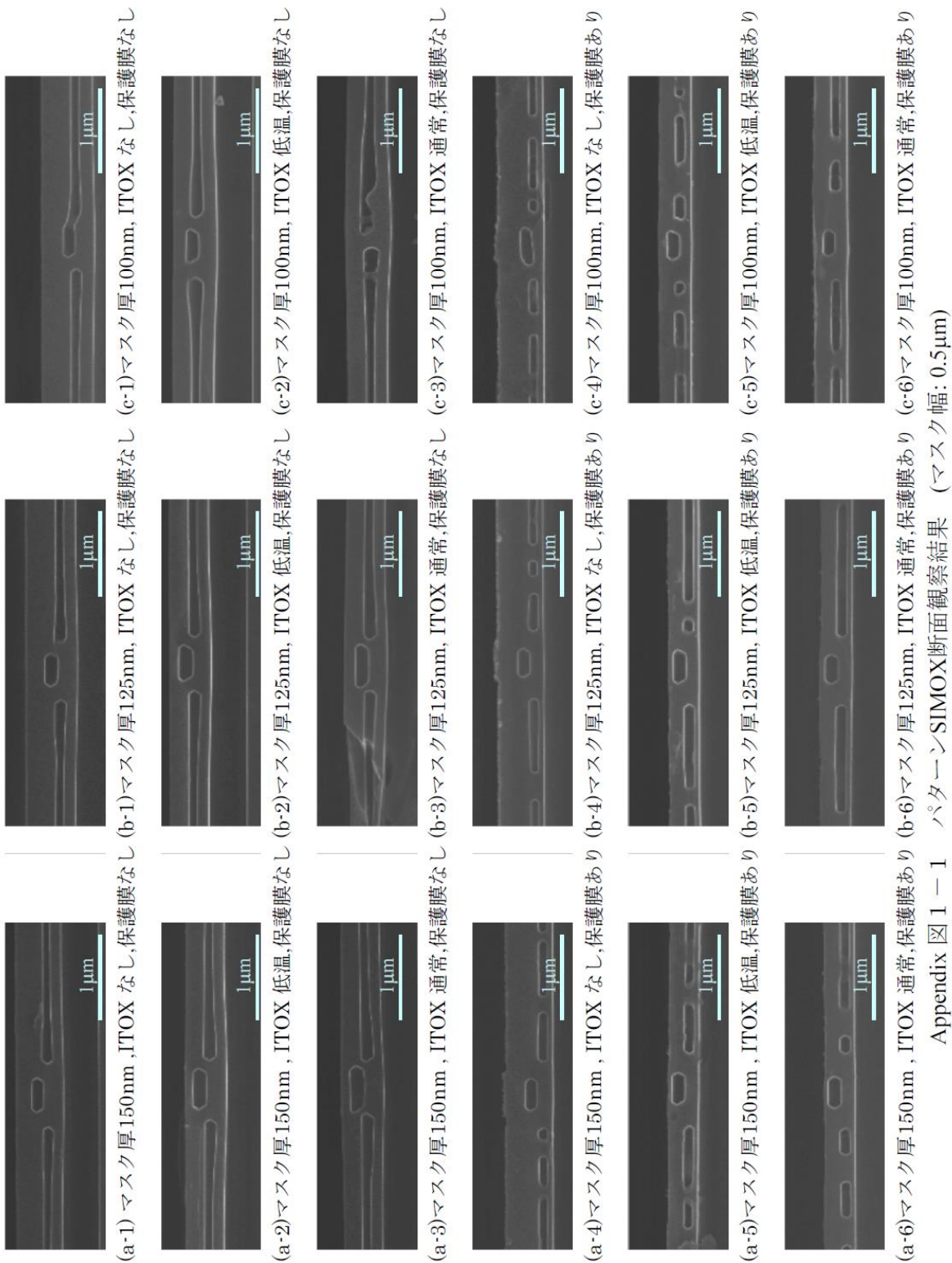
さらに、CMOS 集積回路が形成される層と光回路層を異なる層とすることは、CMOS 集積回路と光回路を同一のシリコン層に形成する場合に比較して、光回路の専有面積を広くすることができることとなる。すなわち、arrayed waveguide grating (AWG) などの広い面積を必要とする光デバイスを用いることも可能となる。また、表面のシリコン層には CMOS 集積回路が存在するので基板の裏面を利用することとなるが、比較的大きな面積のグレーティングカップラーを形成することも可能となる。

3章に記した欠陥の3次元位置検出を高効率に行う方法は、広範囲のデータ収集領域から低頻度に発生する現象を光学的に検出する方法を提案・検証したことを示している。したがって、欠陥の検出にその用途を限定することなく、蛍光プローブを用いた遺伝子検査など他の領域への応用の可能性がある

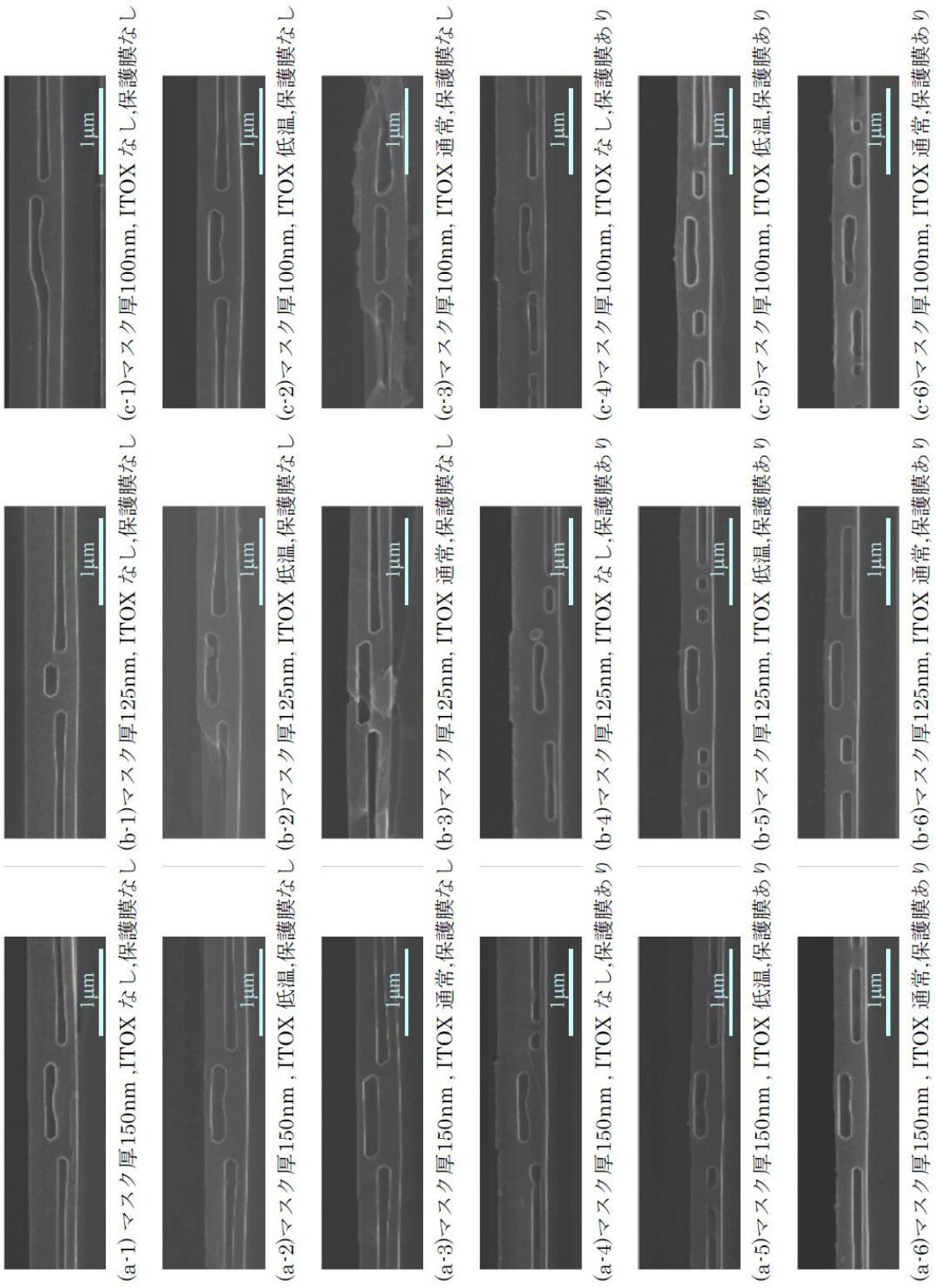
シリコンフォトニクスならびにシリコン製 EPIC は、光機能デバイスを高機能化とともに低価格化するための重要な技術であるので、本論文の内容が実用化および普及への何らかきっかけになることを期待する。



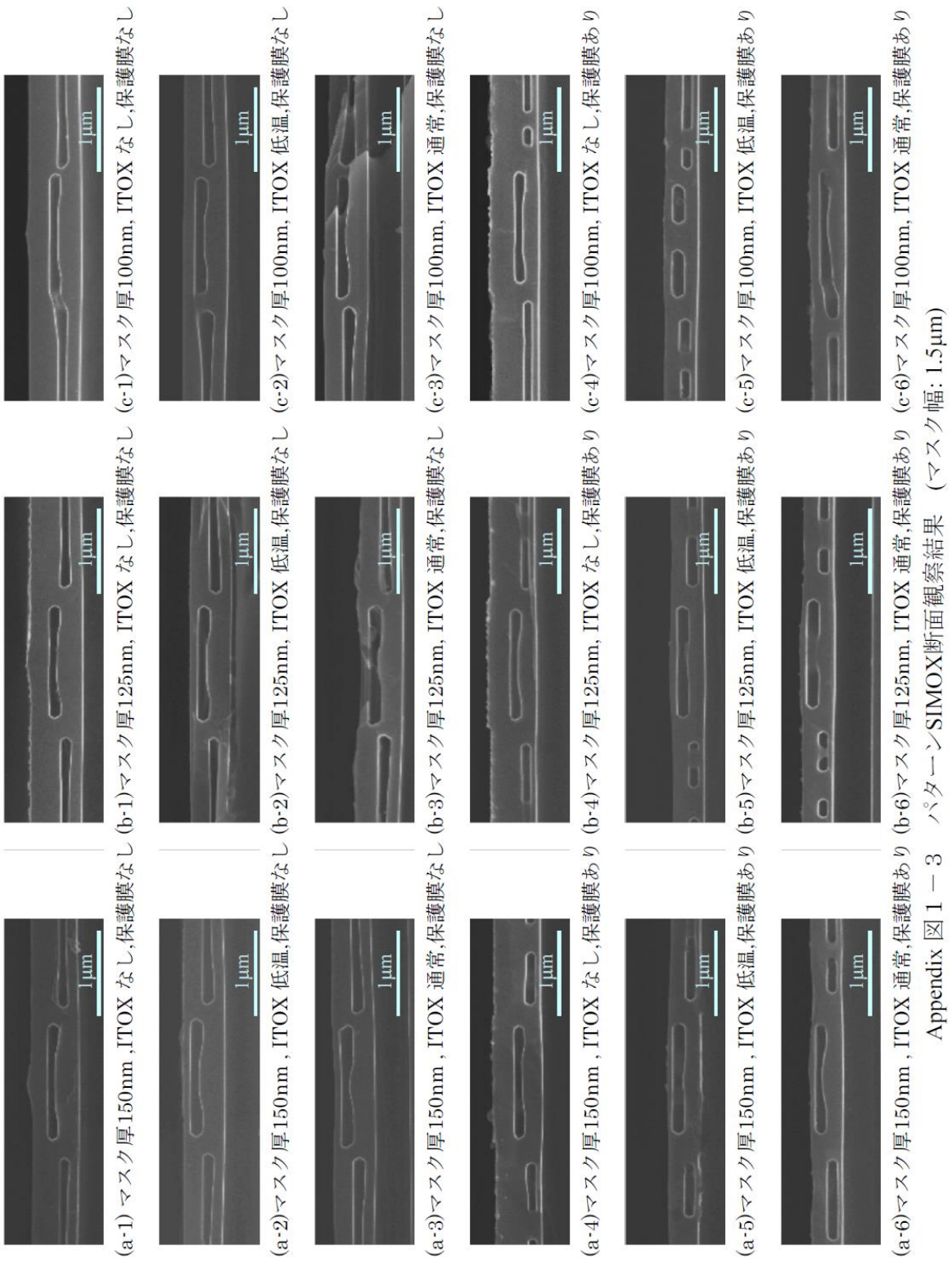
# 付録



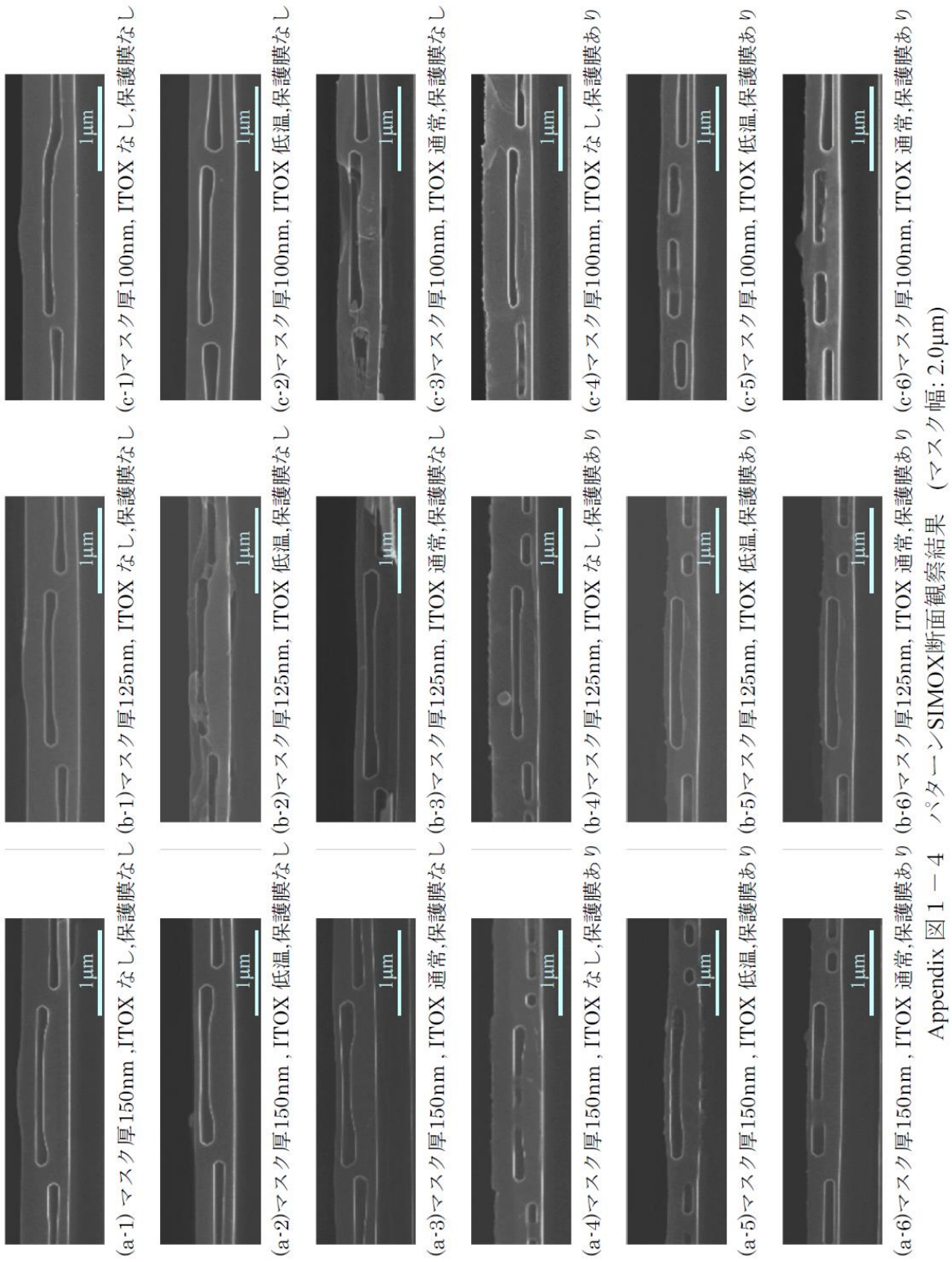
Appendix 図 1 - 1 パターンSIMOX断面観察結果 (マスク幅: 0.5μm)



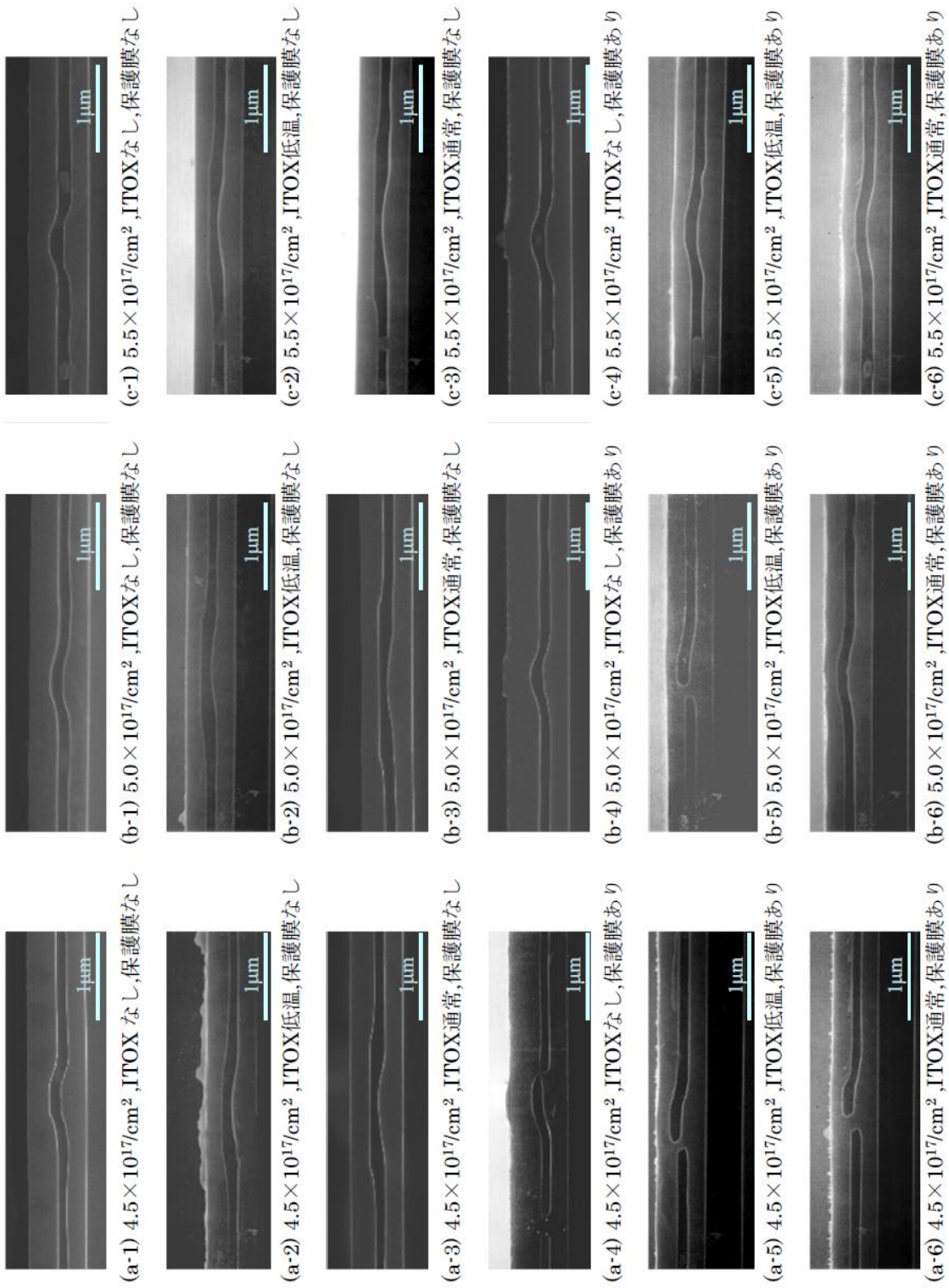
Appendix 図1-2 パターンSIMOX断面観察結果 (マスク幅: 1.0μm)



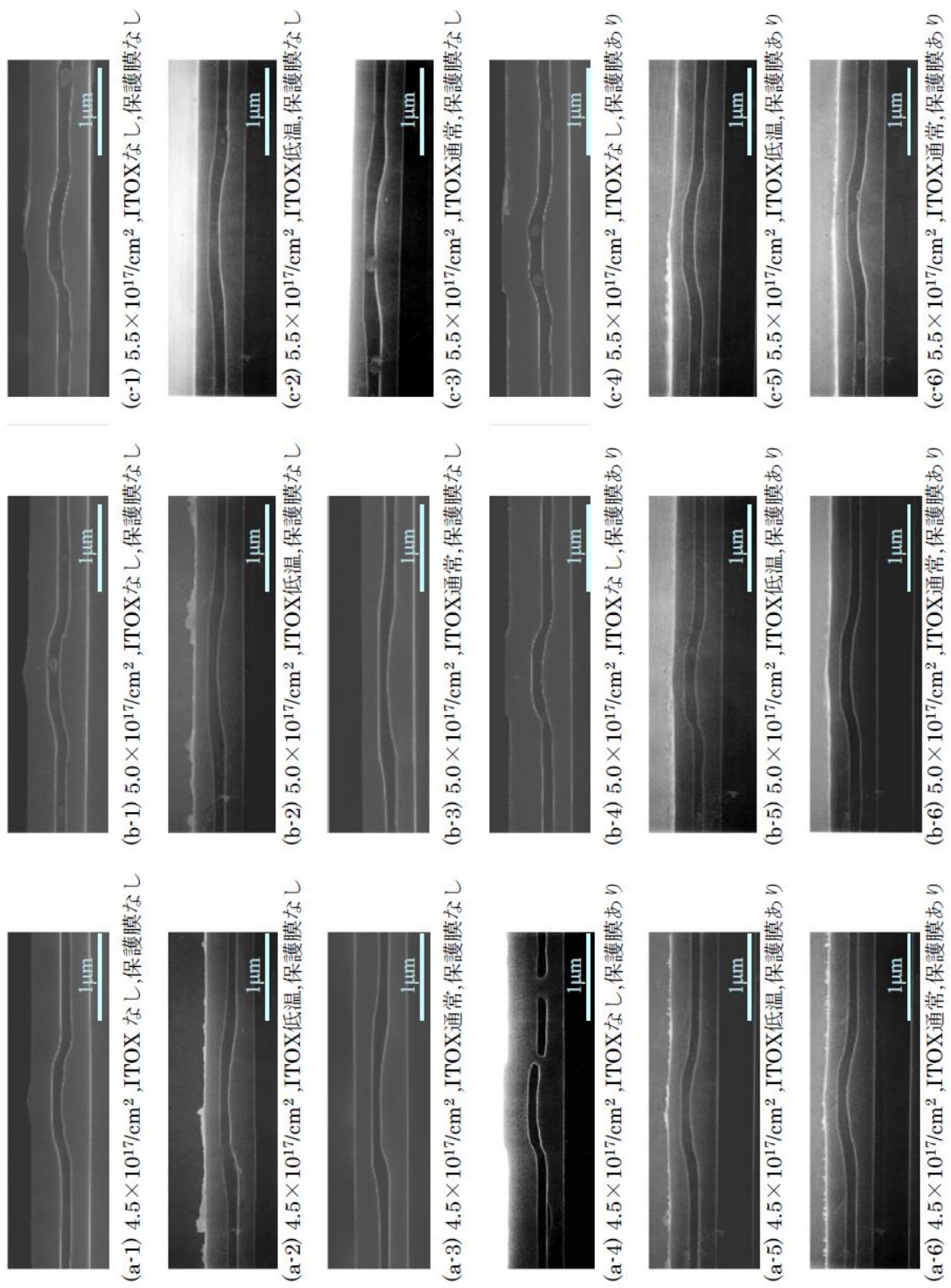
Appendix 図 1 - 3 パターン-SIMOX断面観察結果 (マスク幅: 1.5 $\mu$ m)



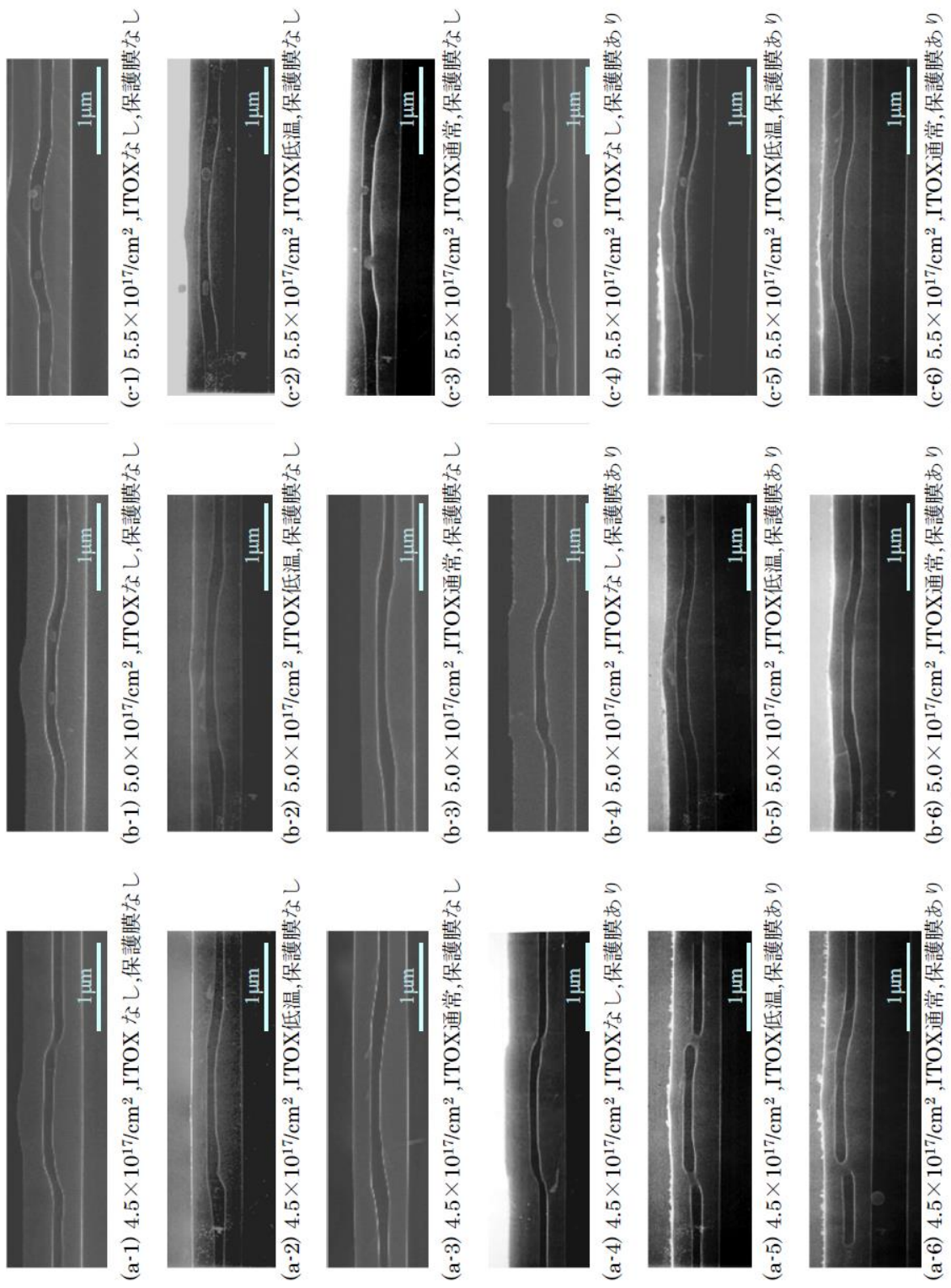
Appendix 図1-4 パターンSIMOX断面観察結果 (マスク幅: 2.0μm)



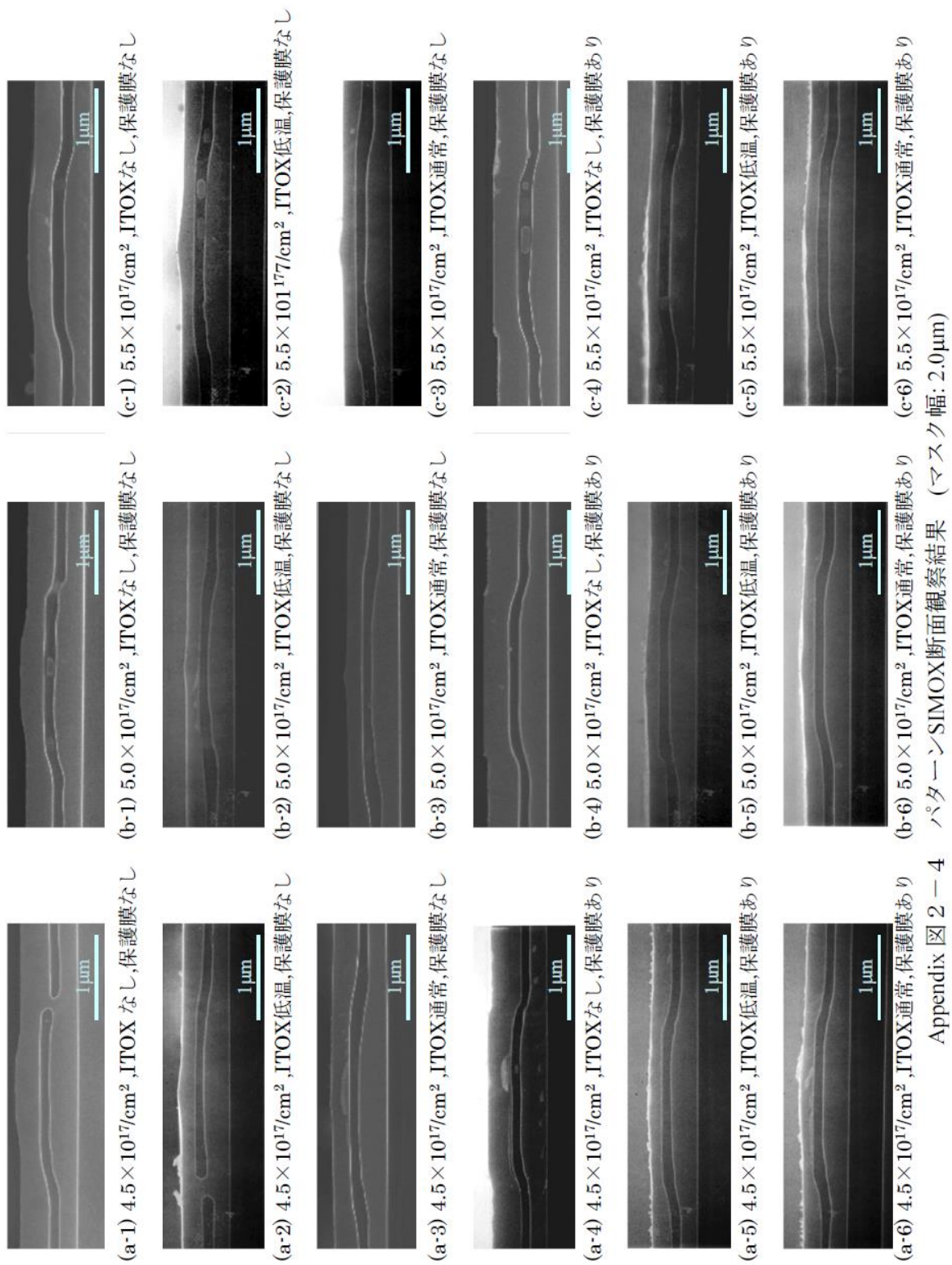
Appendix 図 2-1 パターンSIMOX断面観察結果 (マスク幅:  $0.5\mu\text{m}$ )



Appendix 図 2-2 パターンSIMOX断面観察結果 (マスク幅: 1.0μm)



Appendix 図 2-3 パターン-SIMOX 断面観察結果 (マスク幅: 1.5 μm)



Appendix 図 2-4 パターン-SIMOX 断面観察結果 (マスク幅: 2.0 $\mu\text{m}$ )



## 謝辞

本研究を遂行するに当たり、温かいご指導とご鞭撻を賜りました、東京工業大学大学院理工学研究科の水本哲弥教授に心から深く感謝致します。

本論文をまとめるに当たり、ご指導とご助言をいただきました、東京工業大学大学院理工学研究科の荒井滋久教授、同西山伸彦准教授、東京工業大学精密工学研究所の小山二三夫教授、同植之原裕行准教授、東京大学大学院工学研究科の和田一実教授に深く感謝いたします。

著者の大学・大学院の恩師である、東京工業大学の黒崎晏夫名誉教授、東京工業大学大学院理工学研究科の佐藤勲教授、九州工業大学生命体工学研究科の石黒博教授からは、研究に取り組む姿勢から細かな実験手法までご指導いただきました。また、学位取得に際してのご助言をいただきましたこと心から感謝いたします。

UCLA(カリフォルニア大学・ロサンゼルス校)留学中に、シリコンフォトニクスの基本をご指導いただき、現在でも多方面にわたるご指導とご助言をいただく UCLA の Bahram Jalali 教授に心から感謝いたします。

本研究は、著者がソニー株式会社において、UCLA 留学中に学んだことを基礎として始めたシリコンフォトニクスに関する研究、高密度光記録に関する研究、および蛍光顕微鏡に関する研究をまとめたものであります。

著者が現在所属し、日頃ご指導いただくとともに、学位取得についての的確なアドバイスをいただきました LE 事業開発部部長の矢田博昭博士に心から感謝いたします。また高密度光記録に関する研究を行なっていた当時、光システム研究部部長として多くのご指導いただき、また留学を勧めて頂くとともにシリコンフォトニクスの研究を暖かく見守っていただきました大里潔部長に心から感謝いたします。

本研究を進めるにあたってご指導をいただきました、ギガバイト研究所(当時)西谷清所長、マテリアル研究所(当時)熊谷修所長、ギガバイト研究所 OD 部(当時)小川博部長、ギガバイト研究所メディア開発部 (当時)山本眞伸部長に心から感謝いたします。

研究遂行について多くのご指導いただきました市村功博士、齊藤公博博士を始め、旧光システム研究部および現 LE 事業開発部の林信裕課長、渡辺俊夫課長、甲斐慎一課長、山本健二課長、畦浦美保さんに心から感謝いたします。

留学中および留学終了後も、多くのディスカッションをさせていただきました UCLA

Prakash Koonath 博士、Tejaswi Indukuri 博士、Sasan Fathpour 博士、Kam Yan Hon 氏を始め、Bahram Jalali 研究室の当時および現在の在籍メンバーに心から感謝いたします。

パターン SIMOX に関する研究遂行に際して、ご尽力をいただくと共に有意義な議論や実験をさせて頂きました、Siltronic Japan 株式会社の松村篤樹博士、碓敦博士、川村啓介博士、藤井智氏、株式会社日立超 LSI システムズの高瀬博行主管技師(当時)、南條淳技師(当時)、日本ケミコン株式会社の早川浩達主管(当時)、株式会社日立製作所の玉置洋一博士、SOITEC の Pierre Cemeli 氏に、深く感謝いたします。

液晶デバイスの研究に際して、議論や実験をさせて頂くとともに、多くのご協力を頂いた、株式会社びにっとの中川信義代表取締役(当時)、吉田直子さんに心から感謝いたします。

デバイスシミュレーター(Atlas)のプログラミングに際して長年に渡るご指導とご協力を頂いた、株式会社 Silvaco Japan の李根三氏に、心より感謝いたします。

本研究は以上のほか、数多くの方々のご指導とご協力により達成されたものであり、ここに謹んで感謝いたします。

最後に、本研究の遂行に際し支えてくれました妻京子に心から感謝いたします。また、子供たちからは元気と勇気をもらい研究を継続する力をもらいました。由葵、可南子、ありがとうございました。

## 参考文献

- [1] 2011年6月度 International Data Corporation 社データ  
<http://japan.emc.com/collateral/analyst-reports/idc-extracting-value-from-c-haos-ar.pdf>.
- [2] 総務省報道資料 平成22年通信利用動向調査の結果  
[http://www.soumu.go.jp/menu\\_news/s-news/01tsushin02\\_01000014.html](http://www.soumu.go.jp/menu_news/s-news/01tsushin02_01000014.html).
- [3] 松岡聡, “TSUBAME2.0 概要”, 2010年6月16日記者会見資料  
<http://www.gsic.titech.ac.jp/~ccwww/TSUBAME20.pdf>.
- [4] B. Jalali and S. Fathpour, “Silicon Photonics”, *Journal of Lightwave Technology*, Vol. 24, No. 12, pp. 4600-4615 (2006).
- [5] edited by Lorenzo Pavesi and David. Lockwood, “Silicon photonics”, *Topics in Applied Physics*, Vol. 94 ( Springer-Verlag, Berlin 2004), ISBN 3-540-21022-9.
- [6] R. Soref and J. Lorenzo, “All-silicon active and passive guided-wave components for  $\lambda = 1.3$  and  $1.6 \mu\text{m}$ ”, *IEEE Journal of Quantum Electron*, Vol. QE-22, No. 6, pp. 873-879 (1986).
- [7] R. A. Soref, “Silicon-based optoelectronics”, *Proceedings of IEEE*, Vol. 81, Issue 12, pp. 1687-1706 (1993).
- [8] R. A. Soref, J. Schmidtchen, and K. Petermann, “Large single-mode rib waveguides in GeSi and Si-on-SiO<sub>2</sub>”, *IEEE Journal of Quantum Electron*, Vol. 27, No. 8, pp. 1971-1974 (1991).
- [9] P. D. Trinh, S. Yegnanarayanan, and B. Jalali, “Integrated optical directional couplers in silicon-on-insulator”, *Electron Letters*, Vol. 31, No.24, pp. 2097-2098 (1995).
- [10] U. Fischer, T. Zinke, and K. Petermann, “Integrated optical waveguide switches in SOI”, in *Proceedings of IEEE International Conferences*, Oct. 1995, pp. 141-142 (1995).
- [11] C. Z. Zhao, G. Z. Li, E. K. Liu, Y. Gao, and X. D. Liu, “Silicon on insulator Mach-Zehnder waveguide interferometers operating at  $1.3\mu\text{m}$ ”, *Applied Physics, Letters*, Vol. 67, No.17, pp. 2448-2449 (1995).
- [12] P. D. Trinh, S. Yegnanarayanan, and B. Jalali, “5 x 9 integrated optical star coupler in silicon-on-insulator technology”, *IEEE Photonics Technology Letters*, Vol. 8, No. 6, pp. 794-796 (1996).
- [13] P. D. Trinh, S. Yegnanarayanan, F. Coppinger, and B. Jalali, “Silicon-on-insulator (SOI) phased-array wavelength multi-demultiplexer with extremely low-polarization sensitivity”, *IEEE Photonics Technology Letters*, Vol. 9, No. 7, pp. 940-942 (1997).

- [14] K. V. Srikrishnan, "Smart-cut process for the production of thin semiconductor material films", US patent 5882987 (1999).
- [15] edited by M. J. Anc, "SIMOX", Processing Series Vol. 4 ( IEE 2004) ISBN 0-86341-334-X.
- [16] G. G. Shahidi, "SOI technology for the GHz era", IBM Journal of Research and Development, Vol. 46, Issue 2-3, pp. 121-131 (2002).
- [17] D. Pham, S. Asano, M. Bolliger, M. N. Day, H. P. Hofstee, C. Johns, J. Kahle, A. Kameyama, J. Keaty, Y. Masubuchi, M. Riley, D. Shippy, D. Stasiak, M. Suzuoki, M. Wang, J. Warnock, S. Weitzel, D. Wendel, T. Yamazaki, and K. Yazawa, "The design and implementation of a first-generation CELL processor", Proceedings of IEEE International Solid-State Circuits Conference (ISSCC), digest of technical papers 2005, Vol. 1, pp. 184-592 (2005).
- [18] K. Yamada, T. Shoji, T. Tsuchizawa, T. Watanabe, J. Takahashi, and S. Itabashi, "Silicon-wire-based ultrasmall lattice filters with wide free spectral ranges", Optics Letters, Vol. 28, Issue 18, pp. 1663-1664 (2003).
- [19] T. Shoji, T. Tsuchizawa, T. Watanabe, K. Yamada, and H. Morita, "Low loss mode size converter from 0.3 um square Si wire waveguides to singlemode fibres", Electronics Letters 5th December 2002, Vol. 38, No. 25, pp. 1669-1670 (2002).
- [20] A. Sakai, G. Hara, and T. Baba, "Propagation characteristics of Ultrahigh- $\Delta$  Optical waveguide on Silicon-on-Insulator Substrate", Japanese Journal of Applied Physics, Vol. 40, Part 2, No. 4B, pp. L383-L385 (2001).
- [21] H. Rong, R. Jones, A. Liu, O. Cohen, D. Hak, A. Fang, and M. Paniccia, "A continuous-wave Raman silicon laser", Nature, Vol. 433, pp. 725-728 (2005).
- [22] O. Boyraz and B. Jalali, "Demonstration of a silicon Raman laser", Optics Express, Vol. 12, pp. 5269-5273 (2004).
- [23] Q. Xu, B. Schmidt, S. Pradhan, and M. Lipson, "Micrometre-scale silicon electro-optic modulator", Nature, Vol. 435, pp. 325-327 (2005).
- [24] L. Liao, D. Samara-Rubio, M. Morse, A. Liu, D. Hodge, D. Rubin, U. Keil, and T. Franck, "High speed silicon Mach-Zehnder modulator", Optics Express, Vol. 13, Issue 8, pp. 3129-3135 (2005).
- [25] F. Y. Gardes, G. T. Reed, N. G. Emerson, and C. E. Png, "A sub-micron depletion-type photonic modulator in silicon on insulator", Optics Express, Vol. 13, pp. 8845-8854 (2005).
- [26] S. Bidnyk, D. Feng, A. Balakrishnan, M. Pearson, M. Gao, H. Liang, W. Qian, C. Kung, J. Fong, J. Yin, and M. Asghari, " Silicon-on-Insulator-Based Planar Circuit for Passive Optical Network Applications", IEEE Photonics Technology Letters, Vol. 18, Issue 22, pp. 2392-2394 (2006).

- [27] Y. Ishikawa, K. Wada, D. D. Cannon, H.-C. Luan, and L. C. Kimerling: “Strain-induced Bandgap Shrinkage Ge grown on Si substrates”, *Applied Physics Letters*, Vol. 82, No. 13, pp. 2044-2046 (2003).
- [28] Y. Ishikawa, K. Wada, J. Liu, D. D. Cannon, H.-C. Luan, J. Michel, and L. C. Kimerling, “Strain-induced enhancement of near-infrared absorption in Ge epitaxial layers grown on Si substrate”, *Journal of Applied Physics*, Vol. 98, 013501 (2005).
- [29] J. Michel, J. Liu, and L. C. Kimerling, “High-performance Ge-on-Si photodetectors”, *Nature Photonics*, Vol. 4, pp. 527-534 (2010).
- [30] G. Masini, S. Sahni, G. Capellini, J. Witzens, and C. Gunn, “High-Speed Near Infrared Optical Receivers Based on Ge Waveguide Photodetectors Integrated in a CMOS Process”, *Advances in Optical Technologies*, Vol. 2008, 196572 (2008).
- [31] D. Feng, S. Liao, P. Dong, N.-N. Feng, H. Liang, D. Zheng, C.-C. Kung, J. Fong, R. Shafiiha, J. Cunningham, A. V. Krishnamoorthy, and M. Asghari, “High-speed Ge photodetector monolithically integrated with large cross-section silicon-on-insulator waveguide”, *Applied Physics Letters*, Vol. 95, 261105 (2009).
- [32] X. Sun, J. Liu, L. C. Kimerling, and J. Michel, “Direct gap photoluminescence of n-type tensile-strained Ge-on-Si”, *Applied Physics Letters*, Vol. 95, 011911 (2009).
- [33] X. Sun, J. Liu, L. C. Kimerling, and J. Michel, “Room-temperature direct bandgap electroluminescence from Ge-on-Si light-emitting diodes”, *Optics Letters*, Vol. 34, No. 8, pp. 1198-1200 (2009).
- [34] J. Liu, X. Sun, R. C.-Aguilera, L. C. Kimerling, and J. Michel, “Ge-on-Si laser operating at room temperature”, *Optics Letters*, Vol. 35, No. 5, pp. 679-681 (2010).
- [35] A. W. Fang, H. Park, O. Cohen, R. Jones, M. J. Paniccia, and J. E. Bowers, “Electrically pumped hybrid AlGaInAs-silicon evanescent laser”, *Optics Express*, Vol. 14, Issue 20, pp. 9203-9210 (2006).
- [36] A. W. Fang, E. Lively, Y.-H. Kuo, D. Liang, and J. E. Bowers, “A distributed feedback silicon evanescent laser”, *Optics Express*, Vol. 16, No. 7, pp. 4413-4419 (2008).
- [37] C. Gunn, “CMOS photonics for high-speed interconnects”, *IEEE Micro*, Vol. 26, No. 2, pp. 58-66 (2006).
- [38] T. Pinguet, B. Analui, G. Masini, V. Sadagopan, and S. Gloeckner, “40-Gbps monolithically integrated transceivers in CMOS photonics”, *Proceeding of SPIE*, Vol. 6898, 689805 (2008).
- [39] 稲葉聡, “最先端 FinFET プロセス・集積化技術”, *電子情報又新学会誌*, Vol. 91, No. 1, pp. 25-29 (2008).

- [40] 吉見信, “SOI デバイス技術－実践的基礎と応用－”, ED リサーチ社 ISBN 4-901790-36-6.
- [41] K. Bernstein, C.-T. Chuang, R. Joshi, and R. Puri, “Design and CAD Challenges in sub-90nm CMOS Technologies”, Proceedings of the 2003 IEEE/ACM international conference on Computer-aided design, pp. 129-136 (2003).
- [42] V. P. Trivedi and J. G. Fossum, “Scaling Fully Depleted SOI CMOS”, IEEE Transactions on Electron Devices, Vol. 50, No. 10, pp. 2095-2103 (2003).
- [43] K. Izumi, M. Doken, and H. Ariyoshi, “C.M.O.S. devices fabricated on buried SiO<sub>2</sub> layers formed by oxygen implantation into silicon”, Electronics Letters, Vol. 14, Issue 8, pp. 593-594 (1978).
- [44] P. L. F. Hemment, “Silicon on insulator formed by O<sup>+</sup> or N<sup>+</sup> ion implantation”, Proceedings of Material Research Society Symposium, Vol. 53, pp. 207-221 (1986).
- [45] N. Hatzopoulos, D. I. Siapkas, and P. L. F. Hemment, “Oxide growth, refractive index, and composition depth profiles of structures formed by 2 MeV oxygen implantation into silicon”, Journal of Applied Physics, Vol. 77, pp. 577-586 (1995).
- [46] Y. Li, J. A. Kilner, A. K. Robinson, P. L. F. Hemment, and C. D. Marsh, “Analysis of thin - film silicon - on - insulator structures formed by low - energy oxygen ion implantation”, Journal of Applied Physics, Vol. 70, pp. 3605-3612 (1991).
- [47] S. Nakashima and K. Izumi, “Analysis of buried oxide layer formation and mechanism of threading dislocation generation in the substoichiometric oxygen dose region”, Journal of Material Research, Vol. 8, No. 3, pp. 523-534 (1993).
- [48] Haruhiko Ono and Atsushi Ogura, “In- and out-diffusion of oxygen during the buried-oxide formation in oxygen-implanted silicon”, Journal of Applied Physics, Vol. 87, pp. 7782-7787 (2000).
- [49] A.K. Robinson, Y. Li, C.D. Marsh, R.J. Chater, P.L.F. Hemment, J.A. Kilner, and G.R. Booker, “Low energy, oxygen dose optimization for thin film separation by implanted oxygen”, Materials Science and Engineering: B, Vol. 12, pp. 41-45 (1992).
- [50] X. Wang, M. Chen, J. Chen, and W. Zheng, “Novel approaches for low cost fabrication of SOI”, Current Applied Physics, Vol. 1, Issues 2-3, pp. 225-231 (2001).
- [51] M. Chen, X. Wang, J. Chen, X. Liu, Y. Dong, Y. Yu, and X. Wang, “Dose-energy match for the formation of high-integrity buried oxide layers in low-dose separation-by-implantation-of-oxygen materials”, Applied Physics Letters, Vol. 80, Issue 5, pp. 880-882 (2002).

- [52] A. Ogura, "Extension of dose window for low-dose Separation by Implanted Oxygen", *Journal of Electrochemical Society*, Vol. 145, No. 5, pp. 1735-1737 (1998).
- [53] R. Datta, L. P. Allen, R. Chandonnet, M. Farley, and K. S. Jones, "Effect of varying implant energy and dose on the SIMOX microstructure", *IEEE Proceeding of SOI Conference 1997 Fish Camp, CA, USA*, pp. 42-43 (1997).
- [54] J. Jiao, B. Johnson, S. Seraphin, M. J. Anc, Robert P. Dolan, and B. F. Cordts, "Formation of Si islands in the buried oxide layers of ultra-thin SIMOX structures implanted at 65 keV", *Materials Science and Engineering B*, Vol. 72, Issues 2-3, pp. 150-155 (2000).
- [55] M. J. Anc, R. P. Dolan, J. Jiao, and T. Nakai, "Thin-layer SIMOX for future applications", *IEEE Proceeding of SOI Conference 1999 Rohnert Park, CA, USA*, pp. 106-107 (1999).
- [56] S. Nakashima, T. Katayama, Y. Miyamura, A. Matsuzaki, M. Kataoka, D. Ebi, M. Imai, K. Izumi, and N. Ohwada, "Investigations on High-Temperature Thermal Oxidation Process at Top and Bottom Interfaces of Top Silicon of SIMOX Wafers", *Journal of Electrochemical Society*, Vol. 143, pp. 244-251 (1996).
- [57] A. Matsumura, I. Hamaguchi, K. Kawamura, T. Sasaki, S. Takayama, and Y. Nagatake, "Technological innovation in low-dose SIMOX wafers fabricated by an internal thermal oxidation (ITOX) process", *Microelectronic Engineering*, Vol. 66, pp. 400-414 (2003).
- [58] U. Bussmann, A. K. Robinson, P. L. F. Hemment, and G. J. Campisi, "Silicon - on - insulator device islands formed by oxygen implantation through patterned masking layers", *Journal of Applied Physics*, Vol. 70, pp. 4584-4592 (1991).
- [59] U. Bussmann, P.L.F. Hemment, A.K. Robinson, and V.V. Starkov, "Oxygen implantation through patterned masks: a method for forming insulated silicon device islands while maintaining a planar wafer surface", *Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms*, Vol. 55, pp. 856-859 (1991).
- [60] R. Van Bentum and H. Vogt, "Structural characterization of local SIMOX-substrates", *Proceedings of IEEE SOI Conference, 1998*, pp. 49-50 (1998).
- [61] R. Hannon, S. S. K. Iyer, D. Sadana, J. P. Rice, H. L. Ho, B. A. Khan, and S. S. Iyer, "0.25  $\mu\text{m}$  merged bulk DRAM and SOI logic using patterned SOI", *Digest of Technical Papers of 2000 Symposium on VLSI Technology*, pp. 66-67 (2000).
- [62] Y. Dong, X. Wang, X. Wang, M. Chen, and J. Chena, "Low defect density and planar patterned SOI materials by masked SIMOX", *Chemical Physics Letters*, Vol. 378, Issues 5-6, pp. 470-473 (2003).

- [63] Y. Dong, M. Chen, J. Chen, X. Wang, X. Wang, P. He, X. Lin, L. Tian, and Z. Li, "Patterned buried oxide layers under a single MOSFET to improve the device performance", *Semiconductor Science and Technology*, Vol. 19, No. 3, pp. L25-L28 (2004).
- [64] A. Rickman, G. T. Reed, B. L. Weiss, and F. Namavar, "Low-loss planar optical waveguides fabricated in SIMOX material", *IEEE Photonics Technology Letters*, Vol. 4, No. 6, pp. 633-635 (1992).
- [65] F. Secco d'Aragona, "Dislocation etch for (100) planes in silicon", *Journal of Electrochemical Society*, Vol. 119, pp. 948-951 (1972).
- [66] E. Cortesi, M. K. El-Ghor, H. H. Hosack, L. P. Allen, P. Roitman, and S. Krause, "Evaluation of Secco etch technique for determination of dislocation densities in SIMOX wafers", *IEEE Proceedings of SOI Conference*, Vail Valley, CO, USA, pp. 118-119 (1991).
- [67] K. Mitani, H. Aga, and M. Nakano, "Effective KOH etching Prior to modified Secco etching for analyzing defects in thin bonded silicon on insulator (SOI) wafers", *Japanese Journal of Applied Physics*, Vol. 36, Part 1, No. 3B, pp. 1646-1649 (1997).
- [68] L. F. Giles, A. Nejin, and P. L. F. Hemment, "A new chemical etch for defects studies in very thin film (<1000 Å) SIMOX material", *Materials Chemistry and Physics*, Vol. 35, pp. 129-133 (1993).
- [69] International Technology roadmap for semiconductors 2011 edition  
Metrology (2011)  
<http://www.itrs.net/Links/2011ITRS/2011Chapters/2011Metrology.pdf>
- [70] 荒川朋文, "半導体集積回路", 公開特許 特開 2009-38105 (2009)
- [71] J. Chikawa, Y. Asaeda, and I. Fujimoto, "New X - Ray Topographic Technique for Detection of Small Defects in Highly Perfect Crystals", *Journal of Applied Physics*, Vol. 41, Issue 5, pp. 1922-1925 (1970).
- [72] C. Maleville, C. Moulin, D. Delprat, W. McMillan, J. Payne, K. Birdwell, and R. Moirin, "UV scanning enabling advanced SOI defectivity monitoring", *Proceedings - Electrochemical Society*, Vol. 3, pp. 357-362 (2005).
- [73] W. A. Nevin, D. L. Gay, S. Blackstone, and V. Higgs, "Photoluminescence study of interface defects in bonded silicon wafers", *Proceedings of the 5th international Symposium on semiconductor wafer bonding*, Honolulu, Oct. 1999, *Science, Technology and Applications*, Vol. 99-34 (2000)
- [74] W. A. Nevin, D. L. Gay, and V. Higgs, "Photoluminescence study of interfacial defects in Direct-bonded silicon wafers", *Journal of the electrochemical Society*, Vol. 150, No. 10, pp. G591-G596 (2003).
- [75] J. Rosen and G. Brooker, "Non-scanning motionless fluorescence three-dimensional holographic microscopy", *Nature Photonics*, Vol. 2, March, pp. 190-195 (2008).



- [76] C. Maurer, S. Khan, S. Fassel, S. Bernet, and M. Ritsch-Marte, “Depth of field multiplexing in microscopy”, *Optics Express*, Vol. 18, No. 3, pp. 3023-3033 (2010).
- [77] L. Holtzer, T. Meckel, and T. Schmidt, “Nanometric three-dimensional tracking of individual quantum dots in cells”, *Applied Physics Letters*, Vol. 90, 053902 (2007).
- [78] P. A. Dalgarno, H. I. C. Dalgarno, A. Putoud, R. Lambert, L. Paterson, D. C. Logan, D. P. Towers, R. J. Warburton, and A. H. Greenaway, “Multiplane imaging and three dimensional nanoscale particle tracking in biological microscopy”, *Optics Express*, Vol. 18, No. 2, pp. 877-883 (2010).
- [79] M. Levoy, R. Ng, A. Adams, M. Footer, and M. Horowitz, “Light Field Microscopy”, *ACM Transactions on Graphics*, Vol. 25, No. 3, pp. 924-934 (2006).
- [80] A. Veeraraghavan, R. Raskar, A. Agrawal, A. Mohan, and J. Tumblin, “Dappled Photography: Mask Enhanced Cameras for Heterodyned Light Fields and Coded Aperture Refocusing”, *ACM Transactions on Graphics*, Vol. 26, No. 3, article no. 69 (2007).
- [81] H. Nagahara, S. Kuthirummal, C. Zhou, and S. K. Nayar, “Flexible Depth of Field Photography”, in *Proceedings of European Conference on Computer Vision (ECCV)*, Oct. 2008, pp. 60-73 (2008).
- [82] Joseph W. Goodman: “Introduction to Fourier Optics”, Roberts & Company Publishers.
- [83] K. Yamamoto, K. Osato, I. Ichimura, F. Maeda, and T. Watanabe, “0.8-Numerical-Aperture Two-Element Objective Lens for the Optical Disk”, *Japanese Journal of Applied Physics*, Vol. 36, No. 1B, pp. 456–459 (1997).
- [84] I. Ichimura, F. Maeda, K. Osato, K. Yamamoto, and Y. Kasami, “Optical Disk Recording Using a GaN Blue-Violet Laser Diode”, *Japanese Journal of Applied Physics*, Vol. 39, No. 2B, pp. 937–942 (2000).
- [85] 岩崎正之、小笠原昌和、大滝賢, ” 球面収差補正のための新しい液晶素子の電極構成” , *Pioneer R&D*, Vol. 13, No.1, pp. 34-40 (2004).
- [86] H. Tanase, G. Hashimoto, K. Yamamoto, T. Tanaka, T. Nakao, K. Kurokawa, I. Ichimura, and K. Osato, “Dual-layer compatible optical head: integration with a liquid-crystal panel”, *Japanese Journal of Applied Physics*, Vol. 42, No. 2B, pp. 891–894 (2003).
- [87] S. Ohtaki, N. Murao, M. Ogasawara, and M. Iwasaki, “The applications of a liquid crystal panel for 15 Gbyte optical disk systems” , *Japanese Journal of Applied Physics*, Vol. 38, No. 3B, pp. 1744-1749 (1999).
- [88] S. H. Lee, W. S. Park, G. D. Lee, K. Y. Han, T. H. Yoon, and J. C. Kim, “Low-cell-gap measurement by rotating a wave retarder”, *Japanese Journal of Applied Physics*, Vol. 41, No. 1, pp. 379–383 (2002).
- [89] D. Pinkel, T. Straume, and J. W. Gray, “Cytogenetic analysis using quantitative, high-sensitivity, fluorescence hybridization”, *Proceedings of the National Academy of Science*, Vol. 83, pp. 2934-2938 (1986).
- [90] D. Pinkel, J. Landegent, C. Collins, J. Fuscoe, R. Segraves, J. Lucas, and J. Gray, “Fluorescence in situ hybridization with human chromosome-specific

- libraries: Detection of trisomy 21 translocations of chromosome 4”, Proceedings of the National Academy of Science, Vol. 85, pp. 9138-9142 (1988).
- [91] T. J. Lynch, D. W. Bell, R. Sordella, S. Gurubhagavatula, R. A. Okimoto, B. W. Brannigan, P. L. Harris, S. M. Haserlat, J. G. Supko, F. G. Haluska, D. N. Louis, D. C. Christiani, J. Settleman, and D. A. Haber, “Activating Mutations in the Epidermal Growth Factor Receptor Underlying Responsiveness of Non-Small-Cell Lung Cancer to Gefitinib”, *New England Journal of Medicine*, Vol. 350, No. 21, pp. 2129-2139 (2004).
- [92] M. Uemura, Y. Niwa, N. Kakazu, N. Adachi, and K. Kinoshita, “Chromosomal manipulation by site-specific recombinases and fluorescent protein-based vectors”, *PLoS One*, Vol. 5, Issue 3, e9846 (2010).
- [93] <http://www.atcc.org/ATCCAdvancedCatalogSearch/ProductDetails/tabid/452/Default.aspx?ATCCNum=CCL-171&Template=cellBiology>.
- [94] [http://www.abbottmolecular.com/UroVysion\\_5181.aspx](http://www.abbottmolecular.com/UroVysion_5181.aspx).
- [95] H. L. Liu, S. S. Gearhart, J. H. Booske, and R. F. Cooper, “Recoil implantation method for ultrashallow p+/n junction formation”, *Journal of Applied Physics*, Vol. 87, No. 4, pp. 1957-1962 (2000).
- [96] T. Sinno, R. A. Brown, W. V. Ammon, and E. Dornberger, “Point defect dynamics and the oxidation-induced stacking-fault ring in Czochralski-Grown silicon crystals”, *Journal of Electron Society*, Vol. 145, No. 1, pp. 302-318(1998).
- [97] T. Zinke, U. Fischer, A. Splett, B. Schuppert, and K. Petermann, “Comparison of optical waveguide losses in silicon-on-insulator”, *Electronics Letters*, Vol. 29, No. 23, pp. 2031-2033 (1993).
- [98] T. W. Ang, G. T. Reed, A. Vonsovici, A. G. R. Evans, P. R. Routley, and M. R. Josey, “0.15dB/cm loss in Unibond SOI waveguides”, *Electronics Letters*, Vol. 35, No. 12, pp. 977-978 (1999).
- [99] G. T. Reed, A. G. Rickman, B. L. Weiss, F. Namavar, E. Cortesi, and R. A. Soref, “Optical Characteristics of planar waveguides in SIMOX structures”, *Proceedings of Material Research Society*, Vol. 244, pp. 387-393 (1992).
- [100] S. Nakashima and K. Izumi, “Practical reduction of dislocation density in SIMOX wafers”, *Electronics Letters*, Vol. 26, No. 20, pp. 1647-1649 (1990).
- [101] D. Hill, P. Fraundorf, and G. Fraundorf, “The reduction of dislocations in oxygen implanted silicononinsulator layers by sequential implantation and annealing”, *Journal of Applied Physics*, Vol. 63, No. 10, pp. 4933-4936 (1988).
- [102] A. G. Rickman, G. T. Reed, and F. Namavar, “Silicon-on-insulator optical rib waveguide loss and mode characteristics”, *Journal of Lightwave Technology*, Vol. 12, No. 10, pp. 1771-1776 (1994).
- [103] P. Koonath, T. Indukuri, and B. Jalali, “Vertically-coupled micro-resonators realized using three-dimensional sculpting in silicon”, *Applied Physics Letters*, Vol. 85, No. 6, pp. 1018-1020 (2004).
- [104] T. Indukuri, P. Koonath, and B. Jalali, “Subterranean silicon photonics: Demonstration of buried waveguide-coupled microresonators”, *Applied*

- Physics Letters, Vol. 87, 081114 (2005).
- [105] T. Indukuri, P. Koonath, and B. Jalali, "Three-dimensional integration of metal-oxide-semiconductor transistor with subterranean photonics in silicon", *Applied Physics Letters*, Vol. 88, 121108 (2006).
  - [106] S. Okhonin, M. Nagoya, J. M. Sallese, and P. Fazan, "A SOI Capacitor-less 1T-DRAM Concept", *Proceedings of the 2001 IEEE International Conference*, pp. 153-154 (2001).
  - [107] A. Singh, M. Ciraula, D. Weiss, J. Wu, P. Bauser, P. de Champs, H. Daghigian, D. Fisch, P. Graber, and M. Bron, "A 2ns-Read-Latency 4Mb Embedded Floating-Body memory Macro in 45nm SOI Technology", *Proceedings of IEEE International Solid-State Circuits Conference (ISSCC)*, digest of technical papers 2009, Vol. 1, pp. 460-462 (2009).
  - [108] J. M. Sallese, S. Okhonin, P. Fazan, and M. Nagoya, "Principles of the 1-T DRAM Concept on SOI", *Proceedings of the 9th International Conference MIXDES*, pp. 75-78 (2002).
  - [109] T. Ohsawa, K. Fujita, T. Higashi, Y. Iwata, T. Kajiyama, Y. Asao, and K. Sunouchi, "Memory design using one-transistor gain cell on SOI", *Proceedings of IEEE International Solid-State Circuits Conference (ISSCC)*, digest of technical papers 2002, Vol. 1, pp. 152-153 (2002).
  - [110] T. K. Liang, H. K. Tsang, "Role of free carriers from two-photon absorption in Raman amplification in silicon-on-insulator waveguide", *Applied Physics Letters*, Vol. 84, pp. 2745-2747 (2004).
  - [111] K. Kato, T. Wada, and K. Taniguchi, "Analysis of Kink Characteristics in Silicon-on-Insulator MOSFET's Using Two-Carrier Modeling", *IEEE Journal of Solid-State Circuits*, Vol. 20, No. 1, pp. 378-382 (1985).
  - [112] F. Assaderaghi, G. G. Shahidi, M. Hargrove, K. Hathorn, H. Hovel, S. Kulkarni, W. Rausch, D. Sadana, D. Schepis, R. Schulz, D. Yee, J. Sun, R. Dennard, and B. Davari, "History Dependence of Non-Fully Depleted (NFD) Digital SOI Circuits", *Symposium on VLSI Technology, Digest of Technical Papers*, 1996, pp. 122-123 (1996).
  - [113] T. Halfhill, "Z-RAM shrinks embedded memory", *Microprocessor Report*, October 25, 2005, pp. 1-4 (2005).
  - [114] S. Okhonin, M. Nagoya, and P. Fazan, "Principles of transient charge pumping on partially depleted SOI MOSFETs", *IEEE Electron Device Letters*, Vol. 23, No. 5, pp. 279-281 (2002).
  - [115] R. A. Soref and B. R. Bennett, "Electrooptical Effects in Silicon". *IEEE Journal of Quantum Electronics*, Vol. 23, No. 1, pp. 123-129 (1987).
  - [116] H. K. Tsang, C. W. Wong, T. K. Lang, I. E. Day, S. W. Robert, A. Harpin, J. Drake, and M. Asghari, "Optical dispersion, two-photon absorption and self-phase modulation in silicon waveguides at 1.5  $\mu\text{m}$  wavelength", *Applied Physics Letters*, Vol. 80, No. 3, pp. 416-418 (2002).

- [117] E. Tien, N. S. Yuksek, F. Qian, and O. Boyraz, "Pulse compression and modelocking by using TPA in silicon waveguides", *Optics Express*, Vol. 15, No. 10, pp. 6500-6506 (2007).
- [118] J. Faist, "Silicon shines on", *Nature*, Vol. 433, pp. 691-692 (2005).
- [119] O. Boyraz and B. Jalali, "Demonstration of directly modulated silicon Raman laser", *Optics Express*, Vol. 13, No. 3, pp. 796-800 (2005).
- [120] A. Irace, G. Breglio, and A. Cutolo, "All-silicon optoelectronic modulator with 1GHz switching capability", *Electronics Letters*, Vol. 39, No. 2, Vol. 232-233 (2003).
- [121] T. Tsuchizawa, K. Yamada, T. Watanabe, H. Shinojima, H. Nishi, and S. Itabashi, "Ultrasml silicon photonic devices and integration technology toward photonic-electronic convergence" *NTT technical Review*, Vol. 8, No. 2, pp. 1-6 (2010).
- [122] S. Fathpour and B. Jalali, "Energy harvesting in silicon optical modulators", *Optics Express*, Vol. 14, No. 22, pp. 10795-10799 (2006).
- [123] B. Jalali, S. Fathpour, and K. Tsia, "Green Silicon Photonics", *Optics and Photonics News*, Vol. 20, Issue 6, pp. 18-23 (2009).
- [124] R. Claps, V. Raghunathan, D. Dimitropoulos, and B. Jalali, "Influence of nonlinear absorption on Raman amplification in Silicon waveguides", *Optics Express*, Vol. 12, No. 12, pp. 2774-2780 (2004).
- [125] H. Rong, A. Liu, R. Nicolaescu, M. Paniccia, O. Cohen, and D. Hak, "Raman gain and nonlinear optical absorption measurements in a low-loss silicon waveguide", *Applied Physics Letters*, Vol. 85, No. 12, pp. 2196-2198 (2004).
- [126] R. Claps, D. Dimitropoulos, V. Raghunathan, Y. Han, and B. Jalali, "Observation of stimulated Raman amplification in silicon waveguides", *Optics Express*, Vol. 11, No. 15, pp. 1731-1739 (2003).
- [127] D. Dimitropoulos, R. Jhaveri, R. Claps, J. C. S. Woo, and B. Jalali, "Lifetime of photogenerated carriers in silicon-on-insulator rib waveguides", *Applied Physics Letters*, Vol. 86, 071115 (2005).
- [128] D. Dimitropoulos, S. Fathpour, and B. Jalali, "Limitations of active carrier removal in silicon Raman amplifiers and lasers", *Applied Physics Letters*, Vol. 87, 261108 (2005).
- [129] Fazan, S. Okhonin, and M. Nagoga, "A new block refresh concept for SOU floating body memories", *Proceedings of the 2003 IEEE International Conference*, pp. 15-16 (2003)
- [130] Q. Chen, J. Lee, M. Lin, Y. Wang, S. Yin, Q. Zhang, and K. M. Reichard, "Investigation of tuning characteristics of electrically tunable long-period gratings with a precise four-layer model", *Journal of lightwave technology*, Vol. 24, No. 7, pp. 2954-2962 (2006).

- [131] J. C. Sturm and C. M. Reaves, "Silicon temperature measurement by infrared absorption: fundamental processes and doping effects", *IEEE transactions on Electron Devices*, Vol. 39, No. 1, pp. 81-88 (1992)
- [132] A. Liu, R. Jones, L. Liao, D. Samara-Rubio, D. Rubin, O. Cohen, R. Nicolaescu, and M. Paniccia, "A high-speed silicon optical modulator based on a metal-oxide-semiconductor capacitor", *Nature*, Vol. 427, pp. 615-618 (2004)
- [133] J. V. Campenhout, W. M. J. Green, S. Assefa, and Y. A. Vlasov, "Low-power, 2x2 silicon electro-optic switch with 110-nm bandwidth for broadband reconfigurable optical networks", *Optics Express*, Vol. 17, No. 26, pp. 24020-24029 (2009).

## 論文および発表リスト

### 本研究に関する発表論文

1. K. Kishima, “A simple way of pinpointing the three-dimensional position of biomarkers in fluorescence microscopy using a through-focus exposure method”, *Applied Optics*, Vol. 50, No. 25, pp. 4989-4997 (2011).
2. K. Kishima, N. K. Hon, and B. Jalali, ”Floating body CMOS phototransistor memory”, *IEICE Electronics Express (ELEX)*, Vol. 7, No. 24, pp. 1790-1795 (2010).
3. K. Kishima, “Analysis of defects in an electric and photonic double-layer substrate made by separation-by-implanted-oxygen three-dimensional sculpting”, *Applied Physics Letters*, Vol. 89, 201109 (2006).
4. K. Kishima, N. Yoshida, K. Osato, and N. Nakagawa, “Liquid-crystal panel with microdots on an electrode used to modulate optical phase profiles”, *Applied Optics*. Vol. 45, No. 15, pp. 3489-3494 (2006).
5. P. Koonath, K. Kishima, T. Indukuri, and B. Jalali, “Sculpting of three-dimensional nano-optical structures in silicon”, *Applied Physics Letters*, Vol. 83, No. 24, pp. 4909-4911 (2003).

### 本研究に関する国際学会

1. K. Kishima, N. Kam, and B. Jalali, “Floating Body CMOS Phototransistor Memory”, *IEEE Photonics Society annual meeting 2010*, Denver, CO, WD 6, (2010).
2. K. Kishima, “Flexible and convertible depth exposure in fluorescence microscopy”, *Applied and Industrial Optics 2010*, Tucson, AZ, AMB2 (2010).
3. K. Kishima, “Defect Analysis of Electric and Photonic Double Layer Substrate made by SIMOX 3D sculpting”, *2006 IEEE International SOI Conference Proceedings*, pp. 33-34 (2006).
4. B. Jalali, T. Indukuri, P. Koonath, and K. Kishima, “3D Integration of nanophotonics with CMOS electronics”, *SPIE Europe, Technical Digest of Photonics Europe 2006*, 6183-41 (Invited) (2006).
5. K. Kishima, N. Yoshida, K. Osato, and N. Nakagawa, “Demonstration of Optical-Phase Modulation by Liquid Crystal Panel with Microdots on Electrode”, *Lasers and Electro-Optics, 2005, CLEO/Pacific Rim 2005*, pp. 923-924 (2005).

## 研究会・全国大会等

1. 木島公一朗, 市村功, 齊藤公博, 山本健二, 黒田祐児, 飯田敦, 増原慎, 大里潔, “相変化記録材料に対する 50Gbit/inch<sup>2</sup> 超近接場光記録の検討” 信学技報 Technical Report of IEICE, MR2001-112, CPM2001-1444(2002-03)
2. 木島公一朗, 市村功 “Near-Field Phase-Change Recording of 1.5 Numerical Aperture using a GaN Laser Diode”, 第12回相変化記録研究会シンポジウム(PCOS2000), 熱川, 2000年11月(招待講演)(2000).

## 関連論文

1. A. Kouchiyama, I. Ichimura, K. Kishima, T. Nakao, K. Yamamoto, G. Hashimoto, A. Iida, and K. Osato, “Optical Recording Using High Numerical-Aperture Microlens by Plasma Etching”, Japanese Journal of Applied Physics, Vol. 41, Part 1, No. 3B, pp. 1825-1828 (2002).
2. K. Kishima, I. Ichimura, K. Osato, K. Yamamoto, Y. Kuroda, A. Iida, K. Saito and S. Masuhara, “Challenge for Near-Field Recording beyond 50.4Gbit/in<sup>2</sup>”, Japanese Journal of Applied Physics, Vol. 41, Part 1, No. 3B, pp. 1894-1897 (2002).
3. I. Ichimura, K. Kishima, K. Osato, K. Yamamoto, Y. Kuroda, A. Iida, K. Saito, and S. Masuhara, “Near-Field Optical Recording on a Pre-Grooved Phase-Change Disk in the Blue-Violet”, Japanese Journal of Applied Physics, Vol. 40, Part 1, No. 3B, pp. 1821-1826 (2001).
4. A. Kouchiyama, I. Ichimura, K. Kishima, T. Nakao, K. Yamamoto, G. Hashimoto, A. Iida, and K. Osato, “Optical Recording Using High Numerical-Aperture Microlens by Plasma Etching”, Japanese Journal of Applied Physics, Vol. 40, Part 1, No. 3B, pp. 1792-1793 (2001).
5. K. Saito, K. Kishima, and I. Ichimura, “Readout signals calculated for near-field optical pickups with land and groove recording”, Applied Optics, Vol. 39, No. 23, pp. 4153-4159 (2000).
6. I. Ichimura, K. Kishima, K. Osato, K. Yamamoto, Y. Kuroda, and K. Saito, “Near-Field Phase-Change Optical Recording of 1.36 Numerical Aperture”, Japanese Journal of Applied Physics, Vol. 39, Part 1, No. 2B, pp. 962-967 (2000).
7. S. Imanishi, T. Ishimoto, Y. Aki, T. Kondo, K. Kishima, K. Yamamoto, and M. Yamamoto, “Near-Field optical Head for Disc mastering Process”, Japanese Journal of Applied Physics, Vol. 39, Part 1, No. 2B, pp. 800-805 (2000).
8. M. Yamada and K. Kishima, “Fabrication of periodically reversed domain structure for SHG in LiNbO<sub>3</sub> by direct electron beam lithography at room temperature”, Electronics Letters, 9th May, Vol. 27, No. 10, pp. 828-829

(1991).

#### 関連発表

1. P. Koonath, K. Kishima, T. Indukuri, and B. Jalali, "SIMOX 3-D sculpting for fabrication on nano-optical integrated circuits," Materials Research Society Conference, San Francisco, April 2004. (2004).
2. P. Koonath, K. Kishima, T. Indukuri, and B. Jalali, "SIMOX sculpting of 3-D nano-optical structures", Lasers and Electro-Optics Society, 2003 Annual Meeting, pp. 588-589, Tucson, AZ, October 2003.
3. K. Kishima, "Near-Field Phase-Change Recording of 1.5 Numerical Aperture using a GaN Laser Diode", International Symposium on Ultra-High-Density Optical Storage(UHDOS 2001), E-4, Numazu, March, 2001 (2001).
4. K. Kishima, I. Ichimura, K. Yamamoto, K. Osato, Y. Kuroda, A. Iida, and K. Saito, "Near-Field Phase-Change Recording Using a GaN Laser Diode", Proceedings of SPIE 4090, Optical Data Storage, Whistler, 2000, pp. 50-55 (2000).
5. K. Kishima, I. Ichimura, K. Yamamoto, K. Osato, Y. Kuroda, and K. Saito, "Near-Field Phase-Change Optical Recording over 1.2-Numerical-Aperture", Technical Digest of ISOM/ODS'99, Koloa, Hawaii, pp. 355-357 (1999).
6. K. Kishima, I. Ichimura, K. Saito, K. Yamamoto, A. Iida, and K. Osato, "Multi Layer Disk Design for Near Field Phase-Change Recording", Proceedings of Material Research Symposium (MRS), Vol. 803, HH6.1 (2004).
7. K. Kishima, I. Ichimura, K. Osato, K. Yamamoto, Y. Kuroda, A. Iida, K. Saito, and S. Masuhara, "Challenge for Near-Field Recording beyond 50Gbit/in<sup>2</sup>", Technical Digest of International Symposium on Optical Memory (ISOM) 2001, Taipei, 2001, pp. 242-243 (Invited) (2001)
8. K. Kishima, I. Ichimura, K. Osato, K. Yamamoto, Y. Kuroda, A. Iida, K. Saito, and S. Masuhara, "Demonstration of 45Gbit/in<sup>2</sup> in Near-Field Phase-Change Recording", Technical Digest of, Optical Data Storage, Santa Fe, 2001, pp. 280-283. (Invited) (2001).

#### News Articles ・ 解説記事

1. K. Kishima, "Double-SOI waveguide: The Communication Pathway Beneath the Surface", Advanced Substrate News #8, Fall 2007, page11 (2007).



2. 木島公一朗, 市村功, 大里潔, “青色半導体レーザーを用いた相変化型光ディスクへの高 NA 近接場光記録再生”, 月間オプトロニクス, 2001 年 11 月号 No. 239 (2001).
3. 市村功, 木島公一朗, 大里潔, “青紫色半導体レーザーを用いた近接場相変化光記録”, 光学, 29 卷, 11 号, pp. 672-678 (2000).